

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-150783

(43)Date of publication of application : 24.05.2002

(51)Int.Cl.

G11C 16/04
G11C 16/06
H01L 21/8247
H01L 27/115
H01L 27/10
H01L 29/788
H01L 29/792

(21)Application number : 2000-344364

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 10.11.2000

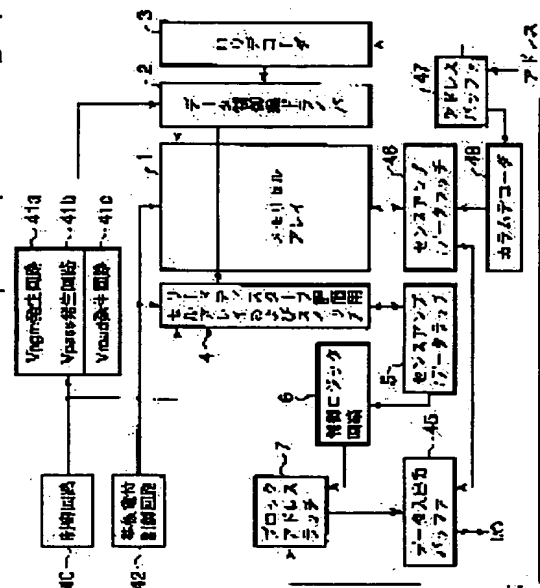
(72)Inventor : NOGUCHI MITSUHIRO
AIDA AKIRA

(54) SEMICONDUCTOR MEMORY AND METHOD FOR DISCRIMINATING CHANGE OF THRESHOLD VALUE OF MEMORY CELL TRANSISTOR

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a semiconductor memory in which data can appropriately be rewritten in a short time and reliability can be improved.

SOLUTION: A cell array for evaluating read-disturb and a switch 4 are provided so that an output of a data control line driver 2 is shared with a memory cell array 1. At the time of read-out, the voltage equal to the control gate voltage of the memory cell array 1 is applied as the control gate voltage of the cell array for evaluating read-disturb, and read-disturb stress is given. Then a block in which data destruction is being caused is previously detected by the cell array for evaluating read-disturb and the switch 4 for data destruction by read-out, and its block position information is imported.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

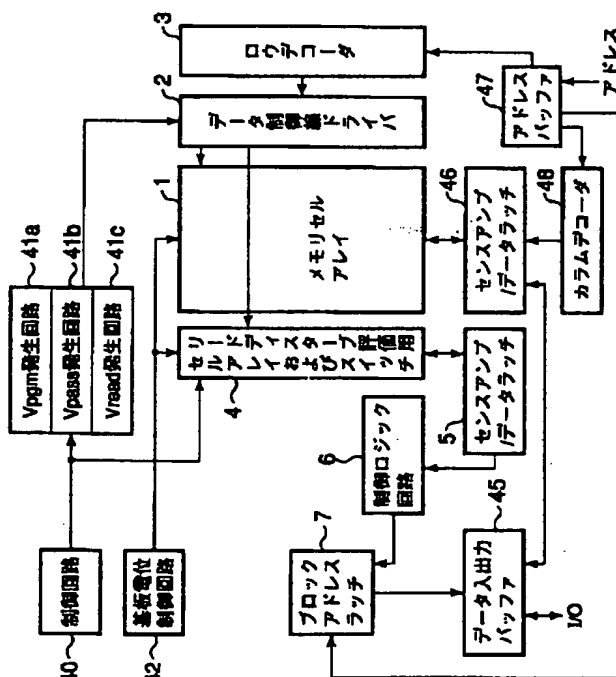
[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office



1

【特許請求の範囲】

【請求項1】 保持すべきデータに対応して電荷が注入もしくは放出される電荷蓄積層を有するメモリセルエレメントを複数備える再書き込み可能な半導体記憶装置であって、

少なくとも2個のデータ破壊評価用メモリセルと、メモリセルアレイ中のメモリセルエレメントが選択されたときに、前記データ破壊評価用メモリセルを選択する選択トランジスタと、

前記各々のデータ破壊評価用メモリセルの制御端子と前記メモリセルアレイ中のデータ選択線間にそれぞれ接続され、前記メモリセルアレイから読み出しを行う場合に導通状態となり、前記データ破壊評価用メモリセルから読み出しを行う場合に遮断状態となる第一のスイッチと、

前記各々のデータ破壊評価用メモリセルの制御端子と所定の電圧が印加される電圧ノード間にそれぞれ接続され、前記メモリセルアレイから読み出しを行う場合に遮断状態となり、前記データ破壊評価用メモリセルから読み出しを行う場合に導通状態となる第二のスイッチとを具備することを特徴とする半導体記憶装置。

【請求項2】 前記第一および第二のスイッチはMISFETからなり、それぞれ前記選択トランジスタよりも長いゲート長を有することを特徴とする請求項1に記載の半導体記憶装置。

【請求項3】 前記第一および第二のスイッチ、および前記メモリセルアレイ中のメモリセルエレメントはMISFETからなり、前記第一および第二のスイッチのゲート絶縁膜厚は、前記メモリセルエレメントのゲート絶縁膜厚よりも厚いことを特徴とする請求項1に記載の半導体記憶装置。

【請求項4】 前記データ破壊評価用メモリセル、前記第一および第二のスイッチはそれぞれ、2個以上で且つ前記メモリセルアレイ中のメモリセルブロックに含まれるメモリセルエレメントの個数よりも少ないことを特徴とする請求項1乃至3いずれか1つの項に記載の半導体記憶装置。

【請求項5】 データ転送線の電圧と基準電圧とを比較して前記メモリセルアレイ中のメモリセルブロックのリードディスタープ状態を検出する比較手段と、この比較手段の出力をトリガ信号として前記メモリセルブロックのアドレスを記憶するアドレス記憶手段とを更に具備し、前記比較手段により、電源投入後、始めてデータ破壊が生じつつあるメモリセルブロックを検出した場合に、前記アドレス記憶手段に記憶したアドレスのメモリセルブロックに再書き込みすることを特徴とする請求項1乃至4いずれか1つの項に記載の半導体記憶装置。

【請求項6】 前記メモリセルアレイからの読み出しと前記データ破壊評価用メモリセルからの読み出しが、前記メモリセルアレイのデータを検出する毎にそれぞれ1

2

回ずつ行われることを特徴とする請求項1に記載の半導体記憶装置。

【請求項7】 電流端子を直列または並列に接続された複数の第一のメモリセルエレメントと、これら第一のメモリセルエレメントを選択する第一のスイッチング素子とを有し、データの再書き込み可能な第一のメモリセルブロックと、

電流端子を直列または並列に接続された複数の第二のメモリセルエレメントと、これら第二のメモリセルエレメントを選択する第二のスイッチング素子とを有し、データの再書き込み可能な第二のメモリセルブロックと、

第一の電圧を与える第一の電圧ノードと、

前記第一のメモリセルブロックの第一のデータ選択線に第一の電流端子を接続され、前記第二のメモリセルブロックの第二のデータ選択線に第二の電流端子を接続された第三のスイッチング素子と、

前記第二のメモリセルブロックの第二のデータ選択線に第一の電流端子を接続され、前記第一の電圧ノードに第二の電流端子を接続された第四のスイッチング素子と、

前記第二のメモリセルブロックに含まれる前記第二のスイッチング素子の第一の電流端子に接続された第一のデータ転送線と、

前記第一のデータ転送線に接続され、前記第一のデータ選択線の電圧と基準電圧を比較する第一の電圧比較手段と、

前記第一の電圧比較手段の出力をトリガ信号として前記第一のメモリセルブロックのアドレスを記憶するアドレス記憶手段とを具備し、

前記第一のメモリセルブロックの読み出し期間内に、前記第三のスイッチング素子が導通状態、前記第四のスイッチング素子が遮断状態となり、

前記第二のメモリセルブロックの読み出し期間内に、前記第四のスイッチング素子が導通状態、前記第三のスイッチング素子が遮断状態となることを特徴とする半導体記憶装置。

【請求項8】 前記第一および第二のメモリセルブロック中の前記第一および第二のメモリセルエレメントはそれぞれ、少なくとも1つの電荷蓄積層と制御ゲートとを有する電界効果トランジスタを含むことを特徴とする請求項7に記載の半導体記憶装置。

【請求項9】 前記第一および第二のメモリセルブロック中の前記第一および第二のメモリセルエレメントはそれぞれ、同じ導電型のウェル領域上に形成された電界効果トランジスタであることを特徴とする請求項8に記載の半導体記憶装置。

【請求項10】 前記第一および第二のメモリセルブロック中の前記第一および第二のメモリセルエレメントはそれぞれ、SiNを電荷蓄積層として用いる電界効果トランジスタであることを特徴とする請求項8に記載の半導体記憶装置。

3

【請求項11】 前記第二のメモリセルブロック中の前記第二のメモリセルエレメントは、前記第一のメモリセルブロック中の前記第一のメモリセルエレメントと実質的に等しい構造であることを特徴とする請求項7に記載の半導体記憶装置。

【請求項12】 前記第一のメモリセルブロックは、前記第一のデータ転送線と直交する方向に複数並列に形成され、前記第一のデータ転送線と前記第一のデータ選択線が直交して配置されることによりメモリセルアレイを形成し、前記第一のメモリセルブロックの前記第一のデータ選択線とブロック選択線は平行に配置されることを特徴とする請求項7に記載の半導体記憶装置。

【請求項13】 前記第一および第二のメモリセルブロック内の前記第一および第二のデータ選択線を駆動するドライバ回路を更に具備し、前記ドライバ回路は、前記第一のメモリセルブロックの一端に接続され、前記第二のメモリセルブロックは前記第一のメモリセルブロックの他端に接続されることを特徴とする請求項12に記載の半導体記憶装置。

【請求項14】 前記第二のメモリセルブロックに含まれる前記第二のメモリセルエレメントは、2個以上で且つ前記第一のメモリセルブロックに含まれる前記第一のメモリセルエレメントの個数よりも少ないことを特徴とする請求項7に記載の半導体記憶装置。

【請求項15】 前記第一のメモリセルブロックに設けられた第一のスイッチング素子の第一の電流端子に接続された第二のデータ転送線と、前記第二のデータ転送線に接続され、前記第二のデータ選択線の電圧と基準電圧を比較する第二の電圧比較手段とを更に具備し、前記第一の電圧比較手段は、前記第二の電圧比較手段と実質的に等しい回路構成部を有することを特徴とする請求項7に記載の半導体記憶装置。

【請求項16】 前記第一の電圧比較手段の出力をトリガ信号として前記第一のメモリセルブロックのアドレスを記憶する前記アドレス記憶手段は、複数のアドレスを記憶することを特徴とする請求項7に記載の半導体記憶装置。

【請求項17】 前記第一の電圧ノードの電圧は、前記第一のメモリセルブロックの消去直後のしきい値の最大値よりも高く、且つ書き込み直後のしきい値の最小値よりも低いことを特徴とする請求項7に記載の半導体記憶装置。

【請求項18】 前記第一のメモリセルブロック中の前記第一のメモリセルエレメントは、外部から入力されるコマンドによって、書き込みおよび読み出しが行われることを特徴とする請求項7に記載の半導体記憶装置。

【請求項19】 前記第二のメモリセルブロックは、前記第一のデータ転送線と直交する方向には1つだけ形成されることを特徴とする請求項12に記載の半導体記憶装置。

4

【請求項20】 前記第一および第二のメモリセルブロックにおける前記複数の第一および第二のメモリセルエレメントの第一および第二のスイッチング素子が接続された端と対となる電流端子にそれぞれ第一の電流端子が接続され、第二の電流端子には一定電圧を与える第二の電圧ノードが接続される第五および第六のスイッチング素子を更に具備することを特徴とする請求項7に記載の半導体記憶装置。

【請求項21】 前記第五のスイッチング素子の第一の電流端子に接続された第一のメモリセルエレメントの制御ゲートは、前記第二のメモリセルブロックに含まれる前記第二のメモリセルエレメントの制御ゲートと前記第三のスイッチング素子を介して接続されていることを特徴とする請求項20に記載の半導体記憶装置。

【請求項22】 保持すべきデータに対応して電荷が注入もしくは放出される電荷蓄積層を有するメモリセルトランジスタを備える再書き込み可能な半導体記憶装置におけるメモリセルトランジスタのしきい値の変化を判別する方法であって、

データ転送線に前記メモリセルトランジスタの電流端子の一端が電気的に接続され、データ選択線に前記メモリセルトランジスタの制御端子が接続された状態で、データ選択線を共通とした第一および第二のメモリセルトランジスタに、それぞれのメモリセルトランジスタに接続されたデータ転送線の電位に電位差を与えることにより、読み出し時に異なる電圧ストレスを与え、第一のメモリセルトランジスタのデータ読み出し時に第二のメモリセルトランジスタのしきい値を判定し、その判定結果に基づいて前記第一のメモリセルトランジスタのブロックアドレスを記憶することを特徴とする半導体記憶装置におけるメモリセルトランジスタのしきい値の変化を判別する方法。

【請求項23】 前記判定結果を読み出し、判定結果に依存して、前記ブロックアドレスで指定されたデータブロックのデータを読み出し、前記ブロックを消去し、前記データを前記データブロックに再書き込みすることを特徴とする請求項22に記載の半導体記憶装置におけるメモリセルトランジスタのしきい値の変化を判別する方法。

【請求項24】 前記複数のメモリセルエレメントは、電流端子が直列に接続されてNAND型メモリセルブロックを構成し、前記読み出し時に前記第一のメモリセルトランジスタに接続されたデータ転送線に与える電位は、前記第二のメモリセルトランジスタに接続されたデータ転送線に与える電位よりも高いことを特徴とする請求項22に記載の半導体記憶装置におけるメモリセルトランジスタのしきい値の変化を判別する方法。

【請求項25】 前記複数のメモリセルエレメントは、電流端子が直列に接続されてAND型メモリセルブロックを構成し、前記読み出し時に前記第一のメモリセルト

5

ランジスタに接続されたデータ転送線に与える電位は、前記第二のメモリセルトランジスタに接続されたデータ転送線に与える電位よりも低いことを特徴とする請求項22に記載の半導体記憶装置におけるメモリセルトランジスタのしきい値の変化を判別する方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、読み出しによるデータ破壊に対する信頼性を向上した半導体記憶装置およびそのメモリセルトランジスタのしきい値の変化を判別する方法に関する。

【0002】

【従来の技術】浮遊ゲート電極にチャネルから絶縁膜を介してトンネル電流によって注入した電荷をデジタルビットの情報格納として用い、その電荷量に応じたMOSFETのコンダクタンス変化を測定し、情報を読み出す不揮発性半導体メモリ（EEPROM）が開発されている。中でも、メモリセルを複数個直列または並列接続しメモリセルブロックを形成したNAND型またはAND型EEPROMは、選択トランジスタの数をメモリセルより大幅に減らすことができ、より高密度化することができる。

【0003】しかしながら、上記不揮発性半導体メモリでは、読み出し操作によって、非選択のメモリセルの制御ゲートに電圧が印加され、読み出し操作を繰り返すことにより、記憶データが破壊するリードディスタurb（read disturb）が生じ、読み出し時の電流を大きく確保できないという問題があった。

【0004】図25（a）、（b）を用いてこの問題点を説明する。図25（a）、（b）はそれぞれ、従来のEEPROMのメモリセルエレメントにおけるゲートストレス印加時間に対するしきい値の変化を示している。ストレス印加前には、図25（a）に示すように電荷蓄積層に正の電荷が蓄積している状態、いわゆる消去状態となっているか、あるいは図25（b）に示すように電荷蓄積層に負の電荷が蓄積している状態、いわゆる書き込み状態となっている。なお、V_{thi}は、電荷蓄積層に電荷が蓄積していない場合のしきい値を示している。

【0005】ここで、図25（a）の挿入図のように、ソース・ドレイン電極に対して制御ゲートに正の電圧を印加すると、ソース・ドレイン領域と電気的に接続されたチャネル領域から電荷蓄積層に電子が注入され、しきい値が上昇する。この際、制御ゲートへの印加電圧V_Gが高いほど、電荷蓄積層とチャネル領域との電界が強くなり、注入される電流が増加するため、同じストレス印加時間でもしきい値の上昇量が大きくなる。また、電荷蓄積層とチャネル領域との間の絶縁膜が薄膜化するほど、同じ印加電圧V_Gでも電界が上昇するためこの電流注入が顕著になり、例えばS_iNを電荷蓄積層として用いたメモリセルエレメントでは、特開平11-3302

6

77号公報の図4に記載されているように、2.5V以下の低い制御ゲート電圧でもしきい値の上昇が生じてしまうことが知られている。

【0006】同様に、図25（b）の挿入図に示すように、ソース・ドレイン電極に対して制御ゲートに負の電圧を印加すると、チャネル領域へ、電荷蓄積層から電子が放出され、または電荷蓄積層に正孔が注入されてしきい値が低下する。ここで、ゲート電圧が高いほど、電荷蓄積層とチャネル領域との電界が強くなり、放出される電流が増加するため、しきい値の下降量が大きくなる。

【0007】このようなしきい値変化は、メモリセルが直列および並列に接続され、それぞれが独立にデータ読み出しをされるメモリセルブロックで特に問題となる。

以下に例を挙げてこれを説明する。

【0008】図26（a）、（b）において、49は例えば、それぞれNAND型メモリセルブロック、およびAND型メモリセルブロックで形成される1つのブロックを示している。図の各記号の後の括弧内は読み出し時に印加する電圧に対する符号を示している。図26

（a）では、電荷蓄積層を有するMOSトランジスタからなる不揮発性メモリセル（メモリセルエレメント）M₀～M₁₅が直列に接続され、一端が選択トランジスタS₁を介してB_{L1}またはB_{L2}と記してあるデータ転送線に接続されている。また他の一端は選択トランジスタS₂を介してS_Lと記してある共通ソース線に接続されている。上記メモリセルエレメントM₀～M₁₅は、電荷蓄積層に貯えられた電荷量によってしきい値が変化するトランジスタである。さらに、それぞれのメモリセルエレメントM₀～M₁₅の制御電極は、W_{L0a}～W_{L15a}と記したデータ選択線に接続されている。また、データ転送線に沿った複数のメモリセルブロックから1つのメモリセルブロックを選択してデータ転送線に接続するため、選択トランジスタS₁の制御電極はブロック選択線S_{SLa}に接続されている。さらに、選択トランジスタS₂の制御電極はブロック選択線G_{SLa}に接続されており、いわゆるNAND型メモリセルブロック49（破線の領域）を形成している。上記ブロック選択線G_{SLa}およびS_{SLa}は、データ選択線（W_{L0a}～W_{L15a}）と同一方向に形成されている。また、B_{L1}およびB_{L2}はデータ転送線を示し、データ選択線と互いに直交する方向に配置されている。メモリセルブロック49内のそれぞれのメモリセルエレメントM₀～M₁₅は、データ転送線とデータ選択線の交点に形成され、それぞれ独立にデータの保持および呼び出しが可能となっている。

【0009】このようなNAND配置のメモリセルエレメントからデータを読み出す場合を、データ選択線W_{L14a}に接続されたメモリセルエレメントM₁₄のデータを読み出す場合を例に挙げて説明する。この場合、例えばデータ転送線B_{L1}に正の電圧V_{BL}を加え、共通

7

ソース線SLを0Vとし、共通ソース線SLとの電圧差を与えた状態で、データ選択線WL14aには、その書込みデータしきい値と消去データしきい値の中間の電圧V_{ref}を印加する。この時、共通ソース線SLとデータ転送線BL1との間に接続されたM14以外のメモリセルエレメント、すなわちメモリセルエレメントM0～M13およびM15、さらに選択トランジスタS2とS1を導通状態に保つことにより、BL1とSLの間の導通および非導通状態によってM14の情報を読み出すことができる。この時、メモリセルエレメントM0～M13およびM15は、その書込み消去状態によらず導通状態を保つため、書込みデータしきい値よりも高い電圧V_{read}が印加されることが必要となり、図25(a)で示した電圧ストレスが印加されることになる。

【0010】よって、図25(a)のように読み出し操作を繰り返すことにより、メモリセルエレメント(メモリセルトランジスタ)M0～M13およびM15の消去しきい値が上昇し、書込みしきい値に近づくためにデータが破壊するリードディスタ urb (read disturb) が生じる。ここで、V_{read}はV_{ref}よりも高い電圧となるため、NAND型配置でのリードディスタ urb は、データを読み出したメモリセルトランジスタよりも、そのメモリセルトランジスタに直列に接続されている非選択のメモリセルトランジスタの方が大きく影響を受ける。

【0011】このリードディスタ urb を抑制するために、読み出し電圧V_{read}を低く抑えると、この読み出し電圧V_{read}と書込みしきい値の分布広がり上限との差が縮小し、トランジスタM0～M13およびM15の駆動電流が低下してしまい、M14に対する直列抵抗成分が大きくなる。このように直列抵抗成分Rが上昇すると、消去しきい値のセルを読み出す場合のセル電流をI_{cell}として、例えばトランジスタM0を読み出す場合にはM15を読み出す場合に比較して、 $R \times I_{cell}$ 以上に読み出すメモリセルソース端の電位が上昇する。このため、M15を読み出す場合にはV_{ref}以上のしきい値で非導通状態となるが、M0を読み出す場合には、 $(V_{ref} - R \times I_{cell})$ 以上のしきい値では非導通状態となり、消去データが書き込みデータと誤読み出しされてしまう問題が生じる。さらに、上記直列抵抗成分Rによって、データ転送線と共通ソース線を流れる電流が小さく制限されるので、消去しきい値のメモリセルを読み出した場合と書き込みしきい値のメモリセルを読み出した場合のデータ転送線の電位差が小さくなり、読み出し電圧マージンが低下し、読み出し時間が増大してしまう問題があった。

【0012】また、図26(b)は、電荷蓄積層を有するMOSトランジスタからなる不揮発性メモリセル(メモリセルエレメント)M0～M15が並列に接続され、一端が選択トランジスタS1を介してBL1と記してあ

8

るデータ転送線に接続されているAND型メモリセルブロックを示している。図26(a)と同一の部分には、同一符号を付してその詳細な説明は省略する。

【0013】このようなAND配置のメモリセルエレメントからデータを読み出す場合を、データ選択線WL14aに接続されたメモリセルエレメントM14のデータを読み出す場合を例に挙げて説明する。この場合、例えばデータ転送線BL1に正の電圧V_{BL}を加え、共通ソース線SLを0Vとし、共通ソース線SLとの電圧差を与えた状態で、データ選択線WL14aには、その書込みデータしきい値と消去データしきい値の中間の電圧V_{ref}を印加する。この時、共通ソース線SLとデータ転送線BL1の間に接続されたM14以外のメモリセルトランジスタ、すなわちM0～M13およびM15は非導通状態にし、さらに選択トランジスタS2とS1を導通状態に保つことにより、データ転送線BL1と共通ソース線SLとの間の導通および非導通状態によってM14の情報を読み出すことができる。この時、メモリセルトランジスタM0～M13およびM15は、その書込み消去状態によらず非導通状態を保つため、消去データしきい値よりも低い電圧V_{read2}が印加されることが必要となり、図25(b)で示したような電圧ストレスが印加されることになる。

【0014】よって、図25(b)のように読み出し操作を繰り返すことにより、メモリセルトランジスタM0～M13およびM15の書込みしきい値が低下し、消去しきい値に近づくためにデータが破壊するリードディスタ urb (read disturb) が生じる。ここで、V_{read2}はV_{ref}よりも低い電圧となるため、AND型配置でのリードディスタ urb は、データを読み出したメモリセルトランジスタよりも、そのメモリセルトランジスタに並列に接続された非選択のメモリセルトランジスタの方が大きく影響を受ける。

【0015】上記リードディスタ urb を抑制するために、読み出し電圧V_{read2}を高く設定すると、V_{read2}と消去しきい値の分布広がり下限との差が縮小し、メモリセルトランジスタM0～M13およびM15が遮断できなくなり、ソース・ドレイン領域間にリーク電流が流れ、M14に流れる電流に前記リーク電流が加わって、データ転送線BL1と共通ソース線SLの間を流れることとなる。このリーク電流は、メモリセルトランジスタM0～M13およびM15のデータパターンに依存するため一定ではなく、消去データのセル数が多いほど大きくなる。よって、このリーク電流分が増大すると、消去しきい値のメモリセルトランジスタを読み出した場合と書き込みしきい値のメモリセルトランジスタを読み出した場合のデータ転送線の電位差が小さくなり、読み出し電圧マージンが低下し、誤読み出しが生じてしまう問題があった。

【0016】

9

【発明が解決しようとする課題】 上述したように、メモリセルエレメントを複数個直列または並列接続したメモリセルブロックをマトリックスに配置した従来の半導体記憶装置では、読み出し操作によって、非選択のメモリセルエレメントの制御ゲートに電圧が印加され、読み出し操作を繰り返すことにより、データが破壊するリードディスタurb (read disturb) が生じる。さらに、このリードディスタurbを防ごうとすると、読み出し時の電流を大きく確保できず、読み出し電圧マージンが低下するという問題があった。

【0017】 本発明は、上記の問題を解決すべくなされたもので、その目的とするところは、読み出しによるデータ破壊に対して、あらかじめデータ破壊が生じつつあるブロックを検知し、そのブロックの位置情報を知らしめることにより、短時間で的確なデータの再書き込みを可能にし、信頼性を向上できる半導体記憶装置およびそのメモリセルトランジスタのしきい値の変化を判別する方法を提供することにある。

【0018】

【課題を解決するための手段】 本発明に係る第1の半導体記憶装置は、保持すべきデータに対応して電荷が注入もしくは放出される電荷蓄積層を有するメモリセルエレメントを複数備える再書き込み可能な半導体記憶装置であって、少なくとも2個のデータ破壊評価用メモリセルと、メモリセルアレイ中のメモリセルエレメントが選択されたときに、前記データ破壊評価用メモリセルを選択する選択トランジスタと、前記各々のデータ破壊評価用メモリセルの制御端子と前記メモリセルアレイ中のデータ選択線間にそれぞれ接続され、前記メモリセルアレイから読み出しを行う場合に導通状態となり、前記データ破壊評価用メモリセルから読み出しを行う場合に遮断状態となる第一のスイッチと、前記各々のデータ破壊評価用メモリセルの制御端子と所定の電圧が印加される電圧ノード間にそれぞれ接続され、前記メモリセルアレイから読み出しを行う場合に遮断状態となり、前記データ破壊評価用メモリセルから読み出しを行う場合に導通状態となる第二のスイッチとを具備することを特徴としている。

【0019】 そして、上記構成において、下記(a)～(e)のような特徴を備えている。

【0020】 (a) 前記第一および第二のスイッチはMISFETからなり、それぞれ前記選択トランジスタよりも長いゲート長を有する。

【0021】 (b) 前記第一および第二のスイッチ、および前記メモリセルアレイ中のメモリセルエレメントはMISFETからなり、前記第一および第二のスイッチのゲート絶縁膜厚は、前記メモリセルエレメントのゲート絶縁膜厚よりも厚い。

【0022】 (c) 前記データ破壊評価用メモリセル、前記第一および第二のスイッチはそれぞれ、2個以上で

10

且つ前記メモリセルアレイ中のメモリセルブロックに含まれるメモリセルエレメントの個数よりも少ない。

【0023】 (d) データ転送線の電圧と基準電圧とを比較して前記メモリセルアレイ中のメモリセルブロックのリードディスタurb状態を検出する比較手段と、この比較手段の出力をトリガ信号として前記メモリセルブロックのアドレスを記憶するアドレス記憶手段とを更に具備し、前記比較手段により、電源投入後、始めてデータ破壊が生じつつあるメモリセルブロックを検出した場合に、前記アドレス記憶手段に記憶したアドレスのメモリセルブロックに再書き込みする。

【0024】 (e) 前記メモリセルアレイからの読み出しと前記データ破壊評価用メモリセルからの読み出しが、前記メモリセルアレイのデータを検出する毎にそれぞれ1回ずつ行われる。

【0025】 また、本発明に係る第2の半導体記憶装置は、電流端子を直列または並列に接続された複数の第一のメモリセルエレメントと、これら第一のメモリセルエレメントを選択する第一のスイッチング素子とを有し、データの再書き込み可能な第一のメモリセルブロックと、電流端子を直列または並列に接続された複数の第二のメモリセルエレメントと、これら第二のメモリセルエレメントを選択する第二のスイッチング素子とを有し、データの再書き込み可能な第二のメモリセルブロックと、第一の電圧を与える第一の電圧ノードと、前記第一のメモリセルブロックの第一のデータ選択線に第一の電流端子を接続され、前記第二のメモリセルブロックの第二のデータ選択線に第二の電流端子を接続された第三のスイッチング素子と、前記第二のメモリセルブロックの第二のデータ選択線に第一の電流端子を接続され、前記第一の電圧ノードに第二の電流端子を接続された第四のスイッチング素子と、前記第二のメモリセルブロックに含まれる前記第二のスイッチング素子の第一の電流端子に接続された第一のデータ転送線と、前記第一のデータ転送線に接続され、前記第一のデータ選択線の電圧と基準電圧を比較する第一の電圧比較手段と、前記第一の電圧比較手段の出力をトリガ信号として前記第一のメモリセルブロックのアドレスを記憶するアドレス記憶手段とを具備し、前記第一のメモリセルブロックの読み出し期間内に、前記第三のスイッチング素子が導通状態、前記第四のスイッチング素子が遮断状態となり、前記第二のメモリセルブロックの読み出し期間内に、前記第四のスイッチング素子が導通状態、前記第三のスイッチング素子が遮断状態となることを特徴としている。

【0026】 そして、上記構成において、下記(f)～(s)のような特徴を備えている。

【0027】 (f) 前記第一および第二のメモリセルブロック中の前記第一および第二のメモリセルエレメントはそれぞれ、少なくとも1つの電荷蓄積層と制御ゲートとを有する電界効果トランジスタを含む。

11

【0028】(g) 前記第一および第二のメモリセルブロック中の前記第一および第二のメモリセルエレメントはそれぞれ、同じ導電型のウェル領域上に形成された電界効果トランジスタである。

【0029】(h) 前記第一および第二のメモリセルブロック中の前記第一および第二のメモリセルエレメントはそれぞれ、SiNを電荷蓄積層として用いる電界効果トランジスタである。

【0030】(i) 前記第二のメモリセルブロック中の前記第二のメモリセルエレメントは、前記第一のメモリセルブロック中の前記第一のメモリセルエレメントと実質的に等しい構造である。

【0031】(j) 前記第一のメモリセルブロックは、前記第一のデータ転送線と直交する方向に複数並列に形成され、前記第一のデータ転送線と前記第一のデータ選択線が直交して配置されることによりメモリセルアレイを形成し、前記第一のメモリセルブロックの前記第一のデータ選択線とブロック選択線は平行に配置される。

【0032】(k) 前記第一および第二のメモリセルブロック内の前記第一および第二のデータ選択線を駆動するドライバ回路を更に具備し、前記ドライバ回路は、前記第一のメモリセルブロックの一端に接続され、前記第二のメモリセルブロックは前記第一のメモリセルブロックの他端に接続される。

【0033】(l) 前記第二のメモリセルブロックに含まれる前記第二のメモリセルエレメントは、2個以上で且つ前記第一のメモリセルブロックに含まれる前記第一のメモリセルエレメントの個数よりも少ない。

【0034】(m) 前記第一のメモリセルブロックに設けられた第一のスイッチング素子の第一の電流端子に接続された第二のデータ転送線と、前記第二のデータ転送線に接続され、前記第二のデータ選択線の電圧と基準電圧を比較する第二の電圧比較手段とを更に具備し、前記第一の電圧比較手段は、前記第二の電圧比較手段と実質的に等しい回路構成部を有する。

【0035】(n) 前記第一の電圧比較手段の出力をトリガ信号として前記第一のメモリセルブロックのアドレスを記憶する前記アドレス記憶手段は、複数のアドレスを記憶する。

【0036】(o) 前記第一の電圧ノードの電圧は、前記第一のメモリセルブロックの消去直後のしきい値の最大値よりも高く、且つ書き込み直後のしきい値の最小値よりも低い。

【0037】(p) 前記第一のメモリセルブロック中の前記第一のメモリセルエレメントは、外部から入力されるコマンドによって、書き込みおよび読み出しが行われる。

【0038】(q) 前記第二のメモリセルブロックは、前記第一のデータ転送線と直交する方向には1つだけ形成される。

12

【0039】(r) 前記第一および第二のメモリセルブロックにおける前記複数の第一および第二のメモリセルエレメントの第一および第二のスイッチング素子が接続された端と対となる電流端子にそれぞれ第一の電流端子が接続され、第二の電流端子には一定電圧を与える第二の電圧ノードが接続される第五および第六のスイッチング素子を更に具備する。

【0040】(s) 前記第五のスイッチング素子の第一の電流端子に接続された第一のメモリセルエレメントの制御ゲートは、前記第二のメモリセルブロックに含まれる前記第二のメモリセルエレメントの制御ゲートと前記第三のスイッチング素子を介して接続されている。

【0041】また、本発明に係る第3の半導体記憶装置におけるメモリセルトランジスタのしきい値の変化を判別する方法は、保持すべきデータに対応して電荷が注入もしくは放出される電荷蓄積層を有するメモリセルトランジスタを備える再書き込み可能な半導体記憶装置におけるメモリセルトランジスタのしきい値の変化を判別する方法であって、データ転送線に前記メモリセルトランジスタの電流端子の一端が電気的に接続され、データ選択線に前記メモリセルトランジスタの制御端子が接続された状態で、データ選択線を共通とした第一および第二のメモリセルトランジスタに、それぞれのメモリセルトランジスタに接続されたデータ転送線の電位に電位差を与えることにより、読み出し時に異なる電圧ストレスを与え、第一のメモリセルトランジスタのデータ読み出し時に第二のメモリセルトランジスタのしきい値を判定し、その判定結果に基づいて前記第一のメモリセルトランジスタのブロックアドレスを記憶することを特徴としている。

【0042】そして、上記方法において、下記(t)～(v)のような特徴を備えている。

【0043】(t) 前記判定結果を読み出し、判定結果に依存して、前記ブロックアドレスで指定されたデータブロックのデータを読み出し、前記ブロックを消去し、前記データを前記データブロックに再書き込みする。

【0044】(u) 前記複数のメモリセルエレメントは、電流端子が直列に接続されてNAND型メモリセルブロックを構成し、前記読み出し時に前記第一のメモリセルトランジスタに接続されたデータ転送線に与える電位は、前記第二のメモリセルトランジスタに接続されたデータ転送線に与える電位よりも高い。

【0045】(v) 前記複数のメモリセルエレメントは、電流端子が直列に接続されてAND型メモリセルブロックを構成し、前記読み出し時に前記第一のメモリセルトランジスタに接続されたデータ転送線に与える電位は、前記第二のメモリセルトランジスタに接続されたデータ転送線に与える電位よりも低い。

【0046】

【発明の実施の形態】以下、図面を参照しながら本発明

13

の実施の形態を説明する。

【0047】〔第一の実施の形態〕図1は、本発明の第一の実施の形態に係る半導体記憶装置について説明するためのもので、NAND型またはAND型EEPROMの概略的なブロック構成を示している。

【0048】メモリセルアレイ（メモリセルマトリックス）1は、後述するように、不揮発性メモリセル（メモリセルエレメント）と選択トランジスタを直列または並列接続したメモリセルブロックがマトリックス状に配列されて構成される。このメモリセルアレイ1のデータ転送線のデータをセンスし、あるいは書き込みデータを保持するためにセンスアンプ回路（センスアンプ/データラッチ）46が設けられている。このセンスアンプ回路46はデータラッチを兼ねており、例えばフリップフロップ回路を主体として構成される。このセンスアンプ回路46は、データ入出力バッファ45に接続されている。これらの接続は、アドレスバッファ47からアドレス信号を受けるカラムデコーダ48の出力によって制御され、データ入出力I/Oに加えられたデータをメモリセルアレイ1に書き込み、およびメモリセルアレイ1に記憶されたデータをI/Oへ読み出し可能となっている。上記メモリセルアレイ1中には、メモリセルエレメントの選択を行うため、具体的にはデータ選択線およびブロック選択線の制御をするために、ロウデコーダ（アドレス選択回路）3が設けられている。

【0049】基板電位制御回路42は、メモリセルアレイ1が形成されるp型半導体基板21（またはp型ウェル領域23）の電位を制御するために設けられており、特に消去時に10V以上の消去電圧に昇圧されるように構成されることが望ましい。さらに、メモリセルアレイ1中の選択されたメモリセルエレメントにデータ書き込みを行う際に、電源電圧よりも昇圧された書き込み電圧 V_{pgm} を発生するための回路41aが形成されている。この V_{pgm} 発生回路41aとは別に、データ書き込み時に非選択のメモリセルに与えられる書き込み用中間電圧 V_{pass} を発生するための回路41b、およびデータ読み出し時に非選択のメモリセルに与えられる読み出し用中間電圧 V_{read} 発生回路41cが設けられている。これらは、書き込み、消去、および読み出しの各状態で、必要な電圧出力がデータ制御線ドライバ2に加えられるように、制御回路40によって制御されている。

【0050】 V_{pgm} は6V以上30V以下の電圧であり、 V_{pass} は3V以上15V以下の電圧である。また、 V_{read} は1V以上9V以下の電圧で、NAND型アレイの場合、読み出し電流を十分確保しリードディスタブを低下させるのには、書き込みしきい値上限よりも1V程度高い電圧が望ましい。上記データ制御線ドライバ2は、ロウデコーダ3の出力に従って、前記電圧出力を、書き込みまたは読み出しが必要なメモリセルエ

14

レメントの制御ゲート電極や選択トランジスタのゲート電極に印加するスイッチ回路である。

【0051】本発明の特長的なことは、データ制御線ドライバ2の出力をメモリセルアレイ1と共有するようにリードディスタブ評価用セルアレイおよびスイッチ4を設けたことにある。これによって、読み出し時には、リードディスタブ評価用セルアレイ4のゲート電圧として、メモリセルアレイ1のゲート電圧と等しい電圧を印加することができる。この電圧印加のタイミングは、制御信号を与える制御回路40によって決定されている。上記リードディスタブ評価用セルアレイ4は、メモリセルアレイ1のデータ転送線方向に配置された各メモリセルブロックに対して1つ設けられ、それぞれがデータ転送線に並列に接続されている。このデータ転送線は、リードディスタブ評価用のセンスアンプ/データラッチ5に接続され、リードディスタブ評価用セルアレイ4の書き込み、消去および読み出しの電圧や信号の入出力を行っている。上記センスアンプ/データラッチ5の出力は、リードディスタブが生じた時にトリガ信号を発生する制御ロジック回路6に供給される。このトリガ信号によって、読み出しを行ったメモリセルブロックのブロックアドレスを記憶するラッチ7にブロックアドレスが記憶され、データ入出力バッファ45に与えられるコマンド入力によって、このブロックアドレスラッチ7に記憶したアドレスをデータ入出力バッファ45を通じて外部I/Oから読み出すことが可能となっている。

【0052】図2(a)、(b)は、それぞれ上記メモリセルアレイ1中に配列されるNAND型メモリセルブロックの等価回路およびパターン平面図である。図2(b)では、図2(a)のセルブロックを3つ並列配置したパターン構造を示しており、セル構造をわかりやすくするために、制御ゲート電極27よりも下の構造のみを示している。

【0053】図2(a)に示すように、電荷蓄積層26を有するMOSトランジスタからなる不揮発性メモリセル（メモリセルエレメント）M0～M15が直列に接続され、一端が選択トランジスタS1を介してBLと記してあるデータ転送線に接続されている。また他の一端は選択トランジスタS2を介してSLと記してある共通ソース線に接続されている。これらのトランジスタは、同一のp型シリコン領域（p型ウェル領域）23上に形成されている。また、それぞれのメモリセルエレメントM0～M15の制御電極は、WL0～WL15と記したデータ選択線に接続されている。データ転送線BLに沿った複数のメモリセルブロックから1つのメモリセルブロックを選択してデータ転送線BLに接続するため、選択トランジスタS1の制御電極はブロック選択線SSLに接続されている。さらに、選択トランジスタS2の制御電極はブロック選択線GSLに接続されており、いわゆるNAND型メモリセルブロック49（破線の領域）を

15

形成している。

【0054】本実施の形態では、選択トランジスタS1、S2の制御配線であるブロック選択線SSL、GSLは、メモリセルエレメントの制御配線であるデータ選択線WL0~WL15の電荷蓄積層26と同じ層の導体によって、紙面左右方向に隣接するメモリセルブロックで共通接続されている。ここで、メモリセルブロックには、ブロック選択線SSLおよびGSLは少なくとも1本あればよく、高密度化するためにはデータ選択線WL0~WL15と同一方向に形成されることが望ましい。また、メモリセルブロック49に16=24個のメモリセルエレメントが接続されている例を示したが、データ転送線およびデータ選択線に接続するメモリセルエレメントの数は複数であればよく、アドレスデコードをする上で2ⁿ個（nは正の整数）であることが望ましい。

【0055】図3(a)、(b)は、上記図2(b)に示したパターン平面図の矢視B-B'およびA-A'方向断面図である。B-B'方向断面図は、メモリセルエレメント部の断面図に相当する。図2(b)、図3

(a)および図3(b)において、例えばボロン不純物濃度が10¹⁴cm⁻³から10¹⁹cm⁻³の間のp型シリコン領域23に、例えば3nmから15nmの厚さのシリコン酸化膜またはオキシナイトライド膜25、25SSL、25GSLからなるゲート絶縁膜を介して、例えばリンまたは砒素を10¹⁸cm⁻³から10²¹cm⁻³添加したポリシリコンからなる電荷蓄積層26、26SSL、26GSLが10nmから500nmの厚さで形成されている。これらは、例えばシリコン酸化膜からなる素子分離絶縁膜24が形成されていない領域上に、p型シリコン領域23と自己整合的に形成されている。すなわち、例えばp型シリコン領域23にトンネルゲート絶縁膜25、電荷蓄積層26を全面堆積した後、p型シリコン領域23に達するまでパターンニングして、p型シリコン領域23を例えば0.05~0.5μmの深さエッチングし、絶縁膜24を埋め込むことで形成することができる。このようにトンネルゲート絶縁膜25および電荷蓄積層26を段差のない平面に全面形成できるので、より均一性の向上した特性の揃った成膜を行うことができる。

【0056】この上に、例えば厚さ5nmから30nmの間のシリコン酸化膜またはオキシナイトライド膜、またはシリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなるブロック絶縁膜50、50SSL、50GSLを介して、例えばリン、砒素、またはボロンを10¹⁷~10²¹cm⁻³を不純物添加したポリシリコン、またはWSi（タングステンシリサイド）とポリシリコンとのスタック構造、またはNiSi、MoSi、TiSi、CoSiとポリシリコンのスタック構造からなる制御ゲート電極27が10nmから500nmの厚さで形

16

成されている。この制御ゲート電極27は、図2(b)において隣接するメモリセルブロックで接続されるように、図2(b)における紙面左右方向にブロック境界まで形成されており、データ選択線WL0~WL15を形成している。なお、p型シリコン領域23は、n型シリコン領域22によってp型半導体基板21と独立に電圧印加できるようになっていることが、消去時の昇圧回路負荷を減らし消費電力を抑えるためには望ましい。

【0057】本実施の形態のゲート形状では、p型シリコン領域23の側壁が絶縁膜24で覆われているので、浮遊ゲート電極26を形成する前のエッチングで露出することがなく、浮遊ゲート電極26がp型シリコン領域23よりも下に来ることを防ぐことができる。よって、p型シリコン領域23と絶縁膜24との境界での、ゲート電界集中やしきい値の低下した寄生トランジスタが生じにくい。さらに、電界集中に起因する書き込みしきい値の低下現象、いわゆるサイドウォーク (sidewalk) 現象が生じにくくなるため、より信頼性の高いトランジスタを形成することができる。

【0058】図3(b)に示すように、これらゲート電極の両側には、例えば5nmから200nmの厚さのシリコン窒化膜、またはシリコン酸化膜からなる側壁絶縁膜43を挟んでソースまたはドレイン領域となるn型拡散層28が形成されている。これら拡散層28、電荷蓄積層26および制御ゲート電極27により、電荷蓄積層26に蓄積された電荷量を情報量とする浮遊ゲート型EEPROMセルが形成されており、そのゲート長としては、0.5μm以下0.01μm以上とする。これらソース・ドレイン領域として働くn型拡散層28としては、例えばリンや砒素、アンチモンを表面濃度が10¹⁷cm⁻³から10²¹cm⁻³となるように、深さ10nmから500nmの間で形成されている。さらに、これらn型拡散層28は隣接するメモリセル同士共有され、NAND接続が実現されている。

【0059】また、図3(b)において、26SSL、26GSLは、それぞれSSLおよびGSLに相当するブロック選択線に接続されたゲート電極であり、前記浮遊ゲート型EEPROMの浮遊ゲート電極と同層で形成されている。ゲート電極26SSLおよび26GSLのゲート長は、メモリセルエレメントにおける制御ゲート電極のゲート長よりも長く、例えば1μm以下で且つ0.02μm以上に形成することにより、ブロック選択時と非選択時のオン/オフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0060】また、27SSLの片側に形成され、ソースまたはドレイン領域として働くn型拡散層28dは、例えばタングステンやタングステンシリサイド、チタン、チタンナイトライド、またはアルミニウムからなるデータ転送線36(BL)とコンタクト31dを介して接続されている。ここで、データ転送線36(BL)

17

は、隣接するメモリセルブロックで接続されるように、図2(b)において紙面上下方向にブロック境界まで形成されている。一方、27(GSL)の片側に形成されたソースまたはドレイン領域として働くn型拡散層28Sは、コンタクト31Sを介して共通ソース線33(SL)に接続されている。この共通ソース線33(SL)は、隣接するメモリセルブロックで接続されるように、図2(b)において紙面左右方向にブロック境界まで形成されている。勿論、n型拡散層28Sを紙面左右方向にブロック境界まで形成することにより、ソース線としてもよい。これらBLコンタクトおよびSLコンタクトとしては、例えばn型またはp型の不純物がドーパされたポリシリコン、タングステンやタングステンシリサイド、Al、TiN、Tiなどが充填されて、導電体領域となっている。さらに、これら共通ソース線33(SL)およびデータ転送線36(BL)と、前記トランジスタとの間は、例えばSiO₂やSiNからなる層間絶縁膜29によって充填されている。このデータ転送線36(BL)上部には、例えばSiO₂やSiN、またはポリイミドからなる絶縁膜保護層37や、図には示していないが、例えばW、AlやCuからなる上部配線が形成されている。

【0061】図4に、本実施の形態に係る半導体記憶装置のブロックレイアウト、特に図1におけるメモリセルアレイ1、データ制御線ドライバ2、ロウデコード3、およびリードディスタブ評価用セルアレイおよびスイッチ4のレイアウトを示す。ここで、49は例えばNAND型メモリセルブロックや後述するAND型メモリセルブロックで形成される1つのメモリセルブロックを示し、1つのメモリセルブロック49には、複数本のデータ選択線WL0x~WL15x(xはa、bというブロックインデックスを示す添え字)が接続されている。このメモリセルブロック49には、複数のメモリセルブロックから1つのメモリセルブロックを選択してデータ転送線BL1、BL2に接続するために、ブロック選択線SSLx、GSLxが設けられている。これらデータ転送線BL1、BL2は、データ選択線WL0x~WL15xと互いに直交する方向に配置されている。

【0062】上記メモリセルブロック49内のそれぞれのメモリセルエレメントは、データ転送線BL1、BL2とデータ選択線WL0x~WL15xの交点に形成され、それぞれ独立にデータの保持および呼び出しが可能となっている。これらメモリセルブロック49はデータ転送線方向、およびデータ選択線方向に複数個形成され、メモリセルアレイを形成している。

【0063】なお、図4では、メモリセルブロック49がデータ転送線方向およびデータ選択線方向に2つずつ配置された構造を示したが、複数であればよく、アドレスデコードをする上で2i個(iは正の整数)であることが望ましい。また、複数のメモリセルブロック49が

18

接続されたデータ選択線WL0x~WL15xおよびブロック選択線SSLx、GSLxの一端には、データ選択線WL0x~WL15xを駆動するデータ制御線ドライバ(DRVa、DRVb)2が形成されている。ここでは、データ転送線方向に隣接するメモリセルブロック49において、データ制御線ドライバ2の配置を容易にし、1つのメモリセルブロックのデータ選択線WL0x~WL15x間の駆動タイミング、すなわちスキューを揃えるために、データ制御線ドライバ2をメモリセルアレイ1の両端に別々に振り分けている。

【0064】上記メモリセルアレイ1に対して、データ制御線ドライバ2が形成されていない側のデータ選択線WL0x~WL15xおよびSSL、GSLx、SSLxの端には、リードディスタブ評価用セルアレイおよびスイッチ4がそれぞれ形成されている。さらに、リードディスタブ評価用セルアレイおよびスイッチ4の制御線OWL、SWL、VRおよびデータ転送線BLT1、BLT2は、データ記憶用メモリセルアレイ1のデータ転送線BL1、BL2と同方向に形成されている。

【0065】図4に示した構造は、紙面上下方向に繰り返し形成し、それぞれのBL1、BL2、BLT1、BLT2、OWL、SWLおよびVRを紙面上下で接続することによって、複数のメモリセルマトリックスのレイアウトが実現できることは明らかであろう。つまり、本発明では、リードディスタブ評価用セルアレイおよびスイッチ(回路ブロック)4を形成しない従来例に比較して、図4の回路部分では、データ転送線方向は増大せず、回路面積を小さく保つことができる。さらに、図4において、ブロックより外部まで形成され従来例よりも増える配線は、VR、SWL、BLT1、BLT2、OWLの高々10本以内であり、すべて紙面上下方向に平行に伸びているので、従来例のデータ転送線と同じ配線量をVR、SWL、BLT1、BLT2、OWLの配線に用いれば、従来例に比較して配線層の増加なく容易にレイアウトできる。

【0066】さらに、回路ブロック4は隣接するブロックのデータ選択線には形成されず、VR、SWL、BLT1、BLT2、OWLは全データ選択線の半数に対して直交して交わる。よって、全データ制御線上にVR、SWL、BLT1、BLT2、OWLが形成された場合に比べて、VR、SWL、BLT1、BLT2、OWLの電圧変動によるデータ選択線への容量結合アレイノイズは半分にすることができる。さらに、データ転送線の本数がVR、SWL、BLT1、BLT2、OWLの総本数より大きく、データ転送線とデータ選択線との結合容量が大きい場合には、VR、SWL、BLT1、BLT2、OWLの電圧変動によるデータ選択線への容量結合アレイノイズは、データ転送線とデータ選択線との容量結合ノイズよりも低く保つことができる。

【0067】さらに、2つのデータ制御線ドライバ(D

19

RVa, DRVb) 2は、2つのロウデコーダ(RDECa, RDECb) 3のそれぞれと接続されており、データ選択線WL0a~WL15aに接続されたメモリセルエレメントと、データ選択線WL0b~WL15bに接続されたメモリセルエレメントが、それぞれ独立にブロック選択されるよう形成されている。データ制御線ドライバ2は、ロウデコーダ3の出力に従って、書き込み電圧や消去電圧を、書き込みまたは読み出しが必要なメモリセルエレメントの制御ゲートや選択ゲートの制御線に印加するようにするスイッチ回路である。

【0068】次に、リードディスタープ評価用セルアレイおよびスイッチ4の回路例を図5に示す。図5において、破線で囲まれた領域49は、上述したメモリセルブロック49でメモリセルアレイ1の端部に相当するブロックを、破線で囲まれた領域4は、リードディスタープ評価用セルアレイおよびスイッチ4の回路ブロックをそれぞれ示しており、図4の右上方のメモリセルアレイ部分に対応している。ここで、データ選択線WL14aは、OWLと記した制御線に接続されたMOSFET Q14からなるスイッチを介してダミーデータ選択線DWL14aに接続されている。さらに、データ選択線WL15aは、OWLと記した制御線に接続されたMOSFET Q15からなるスイッチを介してダミーデータ選択線DWL15aに接続されている。これらダミーデータ選択線DWL14a, DWL15aは、それぞれQ12, Q13と記したリードディスタープ評価用メモリセルの制御線と接続されている。ここで、Q12およびQ13は、電荷蓄積層26を有するMOSトランジスタからなる不揮発性メモリセルであり、構造の違いによる書き込み、消去、および読み出し特性のばらつきを防ぐためには、メモリセルエレメントM0~M15と同一構造を持つメモリセルであることが望ましい。これらのトランジスタQ14, Q15, Q16, Q17は、高耐圧トランジスタで形成されている。

【0069】ダミーデータ選択線DWL14aは、SWLと記した制御線に接続されたMOSFET Q16からなるスイッチを介して電圧ノードV_Rに接続されている。同様に、ダミーデータ選択線DWL15aは、SWLと記した制御線に接続されたMOSFET Q17からなるスイッチを介して電圧ノードV_Rに接続されている。ここでは、リードディスタープ評価用メモリセルとしてQ12, Q13の2つを例として示したが、ブロック内の非選択セルのリードディスタープ評価には少なくとも2つあればよく、データ選択線WL14aに対する配線と同様にQ14, Q12, Q16に対応するトランジスタを配置して配線を行えば良い。但し、メモリセルブロック49のデータ制御線の総本数よりも少ない方が、図5の回路素子数を減少させることができ、より回路面積を小さくできる。また、メモリセルブロック49の中で、共通ソース線SLに近いメモリセルの方が読み

20

出し時によりソース・ドレイン電圧が0Vに近くなり、リードディスタープがより大きくなるので、共通ソース線SLに近いメモリセルの方に対してダミーデータ選択線DWLを形成した方が、よりリードディスタープを強く受けるセルのリードディスタープを正しく検知できる。特に、Q14~Q17は高耐圧トランジスタで形成されており、書き込み時に必要とされる高耐圧を確保するため、例えば2 μ m以上の選択トランジスタよりも長いゲート長を必要とする。さらに、プログラムおよび消去時のWLに印加される高電圧で、ゲートの耐圧劣化が生じないようにするため、Q14~Q17のゲート絶縁膜厚も15nm以上とメモリセルエレメントのゲート絶縁膜厚よりも大きくしている。よって、トランジスタ寸法がメモリセルエレメントよりも大きい。ここで、図5のレイアウトのように2つのリードディスタープ評価用メモリセルを設ける場合には、WL0aからWL15aまでの領域幅において、Q14, Q15, Q16, Q17それぞれを形成する領域でのデータ選択線方向の通過配線を最低1本にすることができる。よって、データ転送線方向のブロック長さからデータ選択線の配線一本分の通過配線を配置する領域を確保すれば、残りの領域はトランジスタQ14~Q17を形成するのに使うことができ、トランジスタQ14~Q17のサイズが大きくても容易にレイアウトできる。

【0070】上記メモリセルQ12の電流端子はQ13の電流端子と直列に接続され、もう一端が選択トランジスタQ10を介してBLT2と記してあるリードディスタープ評価用データ転送線に接続されている。またメモリセルQ13の他の一端は選択トランジスタQ11を介してSLと記してある共通ソース線に接続されている。さらに、選択トランジスタQ11の制御電極はブロック選択線GSLaに接続され、選択トランジスタQ10の制御電極はブロック選択線SSLaに接続されている。上記トランジスタQ10~Q13は、消去および書き込み電圧をメモリセルブロック49に含まれるメモリセルとリードディスタープ評価用セルアレイおよびスイッチ4に含まれるメモリセルで一致させるのに、データ記憶用メモリセルブロック49と同一のp型シリコン領域23上に形成されることが望ましい。すなわち、トランジスタQ10, Q12, Q13, Q11はリードディスタープ評価用のNAND型メモリセルブロックを形成しており、データ転送線BLT2、ダミーデータ選択線DWL1a, DWL14aに与えた電位関係によって、従来のNAND型メモリと同様に書き込み、消去、および読み出しができる。

【0071】また、トランジスタQ14, Q15は、後述するように、メモリセルブロック49から読み出しを行っている間の一定期間に導通状態となり、メモリセルQ12およびQ13にリードディスタープストレスを印加し、Q12およびQ13を読み出す場合には遮断状態

21

となる。一方、トランジスタQ16およびQ17は、メモリセルQ12およびQ13を読み出す場合には導通状態となり、その制御ゲート電極にノードVRの電位を与え、前記リードディスターブストレスを印加している期間には遮断状態となっている。

【0072】なお、図5では、説明を簡単化するために、メモリセルブロック49は1つだけ示したが、勿論、複数形成され紙面左手方向に並列に接続されて構わない。複数にメモリセルブロック49が増加した場合であっても、リードディスターブ評価用セルアレイおよびスイッチ4の回路は図5で示す回路1つでよく、小さい回路面積を維持することができる。

【0073】次に、リードディスターブ評価用のセンスアンプとデータラッチ5の具体的な回路構成を図6に示す。この回路で示した破線で囲んだ領域46は、従来の1つのデータ転送線に対するNAND型メモリのセンスアンプ回路を示しており、例えば特開平7-182886号公報によって公知の回路であり、センスアンプ46と同じ回路である。

【0074】本発明では、この回路の読み出ししきい値判定用トランジスタQ5の入力端子が、スイッチング素子としてのトランジスタQ7を介してリードディスターブ電圧を与える電圧ノードV2と接続されている。このV2は、リードディスターブ電圧をデータ転送線BLT2に供給するための電圧ノードで、0V以上V11'以下に設定されている。これらトランジスタQ1~Q8はQ14~Q17ほど高電圧が印加されないため、より耐圧の低いトランジスタで形成することができる。

【0075】図6で与えられるように、本発明のリードディスターブ評価用のセンスアンプとデータラッチ回路5は、従来のセンスアンプ回路46に高々トランジスタ1つを付加するだけで形成でき、面積増大を非常に小さく抑えることができる。また、図4に示したようにデータ転送線BLT1、BLT2が、メモリセルアレイ端に形成されているので、メモリセルアレイ1およびセンスアンプ回路46の配置を変化させずに、余裕を持って回路5を配置することができる。

【0076】この結果、図1のように、データ転送線方向に対し、センスアンプ回路46と同じ長さで回路5を作成することができ、データ転送線方向のチップ面積を従来と同じに保つことができる。また、詳しいタイミングの説明は後述するが、DI/Oは、リードディスターブを検出するセルQ12、Q13のいずれかのしきい値がVRよりも上昇した場合に、データ破壊が生じつつあるブロックとして、“H”レベル、例えばVccとなり、VRよりもしきい値が低い場合には、“L”レベル、例えば0Vとなる出力である。ここで、Vccは0.5V以上10V以下の電圧とする。

【0077】さらに、図7に、上記制御ロジック回路6の回路例を示す。この図において、POWERONは、

22

電源投入後0.01~100mSの間“L”レベルとなり、その後“H”レベルとなる信号入力と、リードディスターブブロックの再書き込みが終了した際に“L”となる信号との論理積信号であり、前者は従来のNAND型EEPROMで既に使用している信号である。また、後者は、ユーザーコマンドによって“L”を出力する回路を形成しておき、ブロックの再書き込みが終了した後に、ユーザーが該コマンドを入力すれば良い。さらに、RDENB1は、書き込みおよび消去時に誤動作しないためには、いずれかのロウデコーダ3を動作状態にする時に“H”レベルとなり、且つ読み出し時にのみ“H”レベルとなることが望ましい。

【0078】トランジスタQ8が遮断状態の時の制御ロジック回路6の論理値を図9に示す。図9のように、制御ロジック回路6のTRIG出力は、電源投入後まず“L”レベルとなり、その後、RDENB1が“H”で且つDI/Oが“H”となった場合に限り“L”から“H”に遷移する。“H”に遷移した後は、この状態が電源遮断またはPOWERONに“L”となる信号が与えられるまで保持される。すなわち、この回路は、電源投入後、始めてデータ破壊が生じつつあるブロック、つまりNGブロックを検出した場合に“L”から“H”へ遷移するTRIG信号を発生する回路となっている。

【0079】図7に示す回路におけるトランジスタは、すべて低電圧動作する論理用トランジスタで良く、小さい寸法のトランジスタを用いることができる。また、スタティック(static)CMOS回路で図7の回路を形成した場合、必要とされるトランジスタ数は高々13個であり、1Mを超える記憶データビット数を有するメモリセルアレイ1と比較すると、非常に小さい回路面積しか消費せず、消費電力も微少である。

【0080】ついで、図8にブロックアドレスラッチの回路例を示す。この回路は、例えばTRIG信号の立ち上がりクロックによってデータを保持するD型フリップフロップまたはラッチFF1~FF(k+1)からなる。ここで、kは、メモリセルアレイ1に含まれるブロック数を2を底とした対数で表わした値であり、小数点以下を切り上げた値とする。これらD型フリップフロップまたはラッチFFのデータ入力は、アドレスパツファ47から供給され、FF1からFFkまでのビットで、データ破壊が生じつつあるブロックのアドレスを指定することができる。CMOS回路で形成した場合、1つのD型フリップフロップ回路に必要なトランジスタ数は100個以下であり、kビット分用意しても図8の回路で必要とされるトランジスタ数はk×100個以下である。

【0081】各ブロックのローデコーダ3や回路ブロック4よりデータ破壊が生じつつあるブロックの位置を検出する信号を取り出すとすると、(ブロック数)個、つまり2k個以上のトランジスタ数が必要となる。よっ

23

て、 $k \geq 10$ では、図8の回路を用いることによりトランジスタ数を削減でき、より小さい回路面積で実現できる。

【0082】さらに、FF(k+1)の入力はVccに接続され、初めてQ12またはQ13のデータ破壊が生じたブロックを検出した場合に、“L”から“H”へ遷移する。これは、“L”の場合データ破壊なし、“H”の場合にQ12またはQ13のデータ破壊が生じたというフラグとなっている。このFF(k+1)は、TRIG出力で代用してもよい。

【0083】なお、上記図7および図8までの回路は、容易に複数のリードディスタープブロックを検出する回路に展開できる。図10は、3つのリードディスタープブロックを検出する回路例である。この回路は基本的には、図7および図8を3つ並列に接続したものであり、電源投入後、全てのTRIG1、TRIG2、TRIG3が“L”となっている。最初にQ12またはQ13のデータ破壊が生じたブロックを検出したフラグ出力TRIG1を、隣接するNAND1'の入力に加えており、TRIG2をさらに隣接するNAND1'の入力に接続している。これにより、NAND1'、NAND2'、NAND3'からなる制御ロジック回路は、二番目にQ12またはQ13のデータ破壊が生じたブロックを検出し、フラグ出力TRIG2が“L”から“H”へと変化する。さらに、NAND1'、NAND2'、NAND3'からなる制御ロジック回路は、三番目にQ12またはQ13のデータ破壊が生じたブロックを検出し、フラグ出力TRIG3が“L”から“H”へと変化する。これらTRIG1、TRIG2、TRIG3の立ち上がりパルスによって、それぞれに対応したリードディスタープブロックのアドレスが回路7によって保持されるようになっている。

【0084】上記図7、図8および図10に示した回路では、データ破壊が生じつつあるブロックの位置情報を少なくとも電源投入後継続して保持しているので、読み出し直後にデータを再書き込みする必要がない。また、リードディスタープ検出によってデータ破壊が生じないので、リードディスタープ検出を行った後も、再書き込みを行わない状態では、再び当該セルを読み出すことによりリードディスタープを検出できる。さらに、1つのブロックでリードディスタープ検出をした後で、そのブロックをデータリフレッシュする前でも、他のブロックのリードディスタープを検出できる。よって、例えばリードディスタープを生じたブロックを電源を遮断する前の空き時間（時間に余裕がある時）にまとめて再書き込み（データリフレッシュ）を行えば良いので、より、データを読み出し速度をデータリフレッシュを行わない従来例と同等に保つことができる。複数、例えばh個のブロックアドレスラッチと、まとめて再書き込みするシーケンスを用いることにより、1つのブロックアドレスラッチを用

24

いた場合のリフレッシュする場合に比較して、リフレッシュする間隔をほぼ $(1/h)$ の頻度に減少させることができる。この際、複数ブロックをまとめて消去および再書き込みを行うことにより、消去および書き込みのための電源の昇圧回数を減少させることができ、より低消費電力化できる。

【0085】次に、本発明の回路、特にデータ選択線WLとブロック制御線SSL、GSL、および回路ブロック4と回路ブロック5に関するタイミングチャートを図11に示す。図11では、メモリセルアレイ1のデータを読み出す場合のタイミングチャートも下側に示している。

【0086】本発明の特長は、メモリセルアレイ1のデータを読み出すサイクル内で、リードディスタープを評価するセルアレイのデータも読み出し、さらにリードディスタープストレスを印加できる点にある。このようにすることにより、従来のリードディスタープ評価回路がない半導体記憶装置と比較して読み出し時間の増加がなく、読み出しバンド幅を低下させることがない。

【0087】なお、図11において、論理回路の“H”に相当する値をVccと記し、“L”に相当する値を0Vと便宜的に例として記しているが、これらは、それぞれ電源電圧Vccに対してVcc/2以上、およびVcc/2以下で0V以上の電圧であればCMOS回路が動作するので構わない。また、メモリセルアレイ1のデータを読み出し、書き込み、または消去する方法自体は、例えば特開平7-182886号公報で公知の方法を用いればよいので説明を省略する。

【0088】まず、メモリセルトランジスタQ12およびQ13は、メモリセルトランジスタM0~M15の消去しきい値と同じしきい値に設定されているとする。消去しきい値に設定するシーケンスについては、後で詳しく述べる。読み出し(read)動作においては、信号φ2が供給されるトランジスタQ2は閉じたままで構わない。また、REENB1は図11のWL0a~WL15aまでに電圧印加されている期間“H”になるような信号とする。

【0089】まず、信号φ8および信号φ3を“H”にして、トランジスタQ8およびQ3を導通状態とし、インバータInv1の入力を“L”とし、ノードn1を“H”にプリセットする。また、同時に、制御線SWLを“H”にし、制御線OWLと信号φ7を“L”にして、メモリセルトランジスタQ12およびQ13の制御ゲート電極にノードVRの電位を印加する。ここで、ノードVRの電位は、トランジスタQ12やQ13の消去しきい値がリードディスタープによって上昇し、リードディスタープを生じたことを検知するのに用いるしきい値電圧となる。よって、例えば書き込み直後のしきい値の最低値をVthw、消去直後のしきい値の最大値をVtheとして、VthwとVtheとの範囲内となる値で

25

あり、 $(V_{thw} + V_{the}) / 2$ から、 $V_{the} +$ (センスアンプ感度) $\sim V_{the} + 0.1$ [V] の間に設定するのが、安定なリードディスタースト検出には望ましい。ついで、信号 $\phi 1$ を“H”にした後、信号 $\phi 6$ を V_{11} 電位とすることにより、トランジスタ $Q1$ および $Q6$ を通じてデータ転送線 $BLT2$ を充電する。 $V_{11'}$ はセンスアンプとなるトランジスタ $Q5$ のしきい値程度の電圧であり、 V_{cc} 以下となる電圧で、トランジスタ $Q5$ を高い感度で駆動するために、たとえば $0.5V$ と $2V$ との間が望ましい。また、この信号 $\phi 6$ の V_{11} 電位は、図11の下図のタイミングチャートのように、メモリセルアレイ1中のメモリセルトランジスタに接続されたセンスアンプ46内の信号 $\phi 6$ の $BL2$ プレチャージ時と同じ電位 V_{11} とし、同じタイミングで V_{11} パルス信号 $\phi 6$ として与えるのが回路を簡単にするためには望ましい。

【0090】また、 V_{11} はトランジスタ $Q6$ のしきい値を V_{th} として $(V_{th} + V_{11'})$ となる値と設定すれば、データ転送線 $BLT2$ が $V_{11'}$ になるとトランジスタ $Q6$ が遮断状態となり、データ転送線 $BLT2$ への充電が止まる。データ転送線 $BLT2$ が $V_{11'}$ に達した後、信号 $\phi 6$ を $0V$ としトランジスタ $Q6$ を遮断する。ここまでは、データ転送線 $BLT2$ をプレチャージする($BLT2$ precharge) 期間に当たる。 V_{11} は V_{11} 以上 V_{cc} 以下の電圧とすれば良いが、 V_{cc} とするのが回路を簡便にするのに望ましい。

【0091】ついで、データ制御線ドライバ(DRV_a) 2に接続されたブロックのデータ選択線 $WL14a$ が選択されたとすると、 $WL14a$ が V_{ref} に設定される。具体的には、データ読み出し時、データを読み出すブロックのロウデコーダ($RDEC_a$) 3が活性化され、 SSL_a 、 $WL14a$ 、 $WL14a$ を除いたデータ選択線 $WL0a \sim WL15a$ 、およびブロック選択線 GSL_a にそれぞれ、例えば V_{read} 、 V_{ref} 、 V_{read} 、 V_{read} なる電圧が印加される。

【0092】なお、非選択のブロックの SSL 、 $WL0 \sim WL15$ 、および GSL は読み出し期間中フローティング(floating)または $0V$ に維持され、データの誤読み出しや破壊が生じないようにする。 V_{ref} は、メモリセルの書き込みしきい値および消去しきい値の中間、例えば $0V$ から $2V$ の間に設定される。残りの非選択データ選択線 $WL0a \sim WL13a$ および $WL15a$ は、 V_{read} 発生回路41cから出力される、メモリセルの書き込みしきい値の最大値よりも高い電圧に設定され、データ転送線に接続された側のブロック選択線 SSL_a にも V_{read} が与えられる。このようにすることにより、トランジスタ $S1$ 、 $M0 \sim M15$ のソースおよびドレイン領域、さらにトランジスタ $Q11$ 、 $Q12$ 、 $Q13$ のソースおよびドレイン領域を $V_{11'}$ に充電する。

【0093】ついで、共通ソース線 SL に接続された側

26

のブロック選択線 GSL_a を V_{11} 以上、例えば V_{cc} か V_{read} にする。これにより、リードディスタースト検出用のメモリセル $Q12$ および $Q13$ のすべてのしきい値が V_R 以下ならば導通状態となり、データ転送線 $BLT2$ の電位は低下する。この場合は、メモリセル $Q12$ および $Q13$ でリードディスターストを生じていない場合に対応する。

【0094】一方、リードディスタースト検出用メモリセル $Q12$ または $Q13$ のしきい値が V_R より高いならばメモリセル $Q12$ または $Q13$ は遮断状態となるため、データ転送線 $BLT2$ の電位低下はない。この場合は、メモリセル $Q12$ または $Q13$ のいずれかでリードディスターストが生じた場合に対応する。このタイミングでは信号 $\phi 6$ は $0V$ なので、トランジスタ $Q5$ のゲート電極の電位は低下しない。ここまでは、メモリセル $Q12$ または $Q13$ がリードディスターストを生じた場合にデータ転送線 $BLT2$ の放電を行う($BLT2$ discharge) 期間に当たる。

【0095】次に、信号 $\phi 1$ 、信号 $\phi 3$ および信号 $\phi 8$ を“L”とした後、信号 $\phi 6$ として V_{12} なる電圧を与えることによって、トランジスタ $Q5$ のゲート電極ノードにデータ転送線 $BLT2$ の電荷の移送を行う。 V_{12} は、 V_{11} 以下の電圧で、トランジスタ $Q5$ のしきい値よりも高い電圧に設定され、例えば $1.5V$ とする。通常、データ転送線 $BLT2$ の容量 CB は、トランジスタ $Q5$ のゲート電極ノードの容量 CS より10倍以上大きいので、 $BLT2$ の前記電位低下は、トランジスタ $Q5$ のゲート電極ノードでは、 (CB/CS) 倍に増幅される。これにより、リードディスターストを生じたことを検知した場合には、トランジスタ $Q5$ のしきい値よりもそのゲート電圧が上昇したままなので、このトランジスタ $Q5$ が導通状態となる。一方、リードディスターストを検知しない場合には、データ転送線 $BLT2$ の電位が低下し、トランジスタ $Q5$ のしきい値以下にそのゲート電圧が低下し、このトランジスタ $Q5$ が遮断状態となる。

【0096】この後、信号 $\phi 4$ として“H”パルスを与えることにより、トランジスタ $Q5$ の導通/非導通状態をノード $n1$ に転送する。これにより、リードディスターストを生じたことを検知すると、ノード $n1$ は信号 $\phi 4$ としての“H”パルスの立ち上がりにより“L”に変化する。ついで、信号 $\phi 3$ として“H”パルスを与えることにより、ノード $n1$ がインバータ $In v2$ によって反転した信号をデータ入出力端 DI/O に出力する。この後、 DI/O からの出力によって、リードディスターストを生じたことを検知した場合には、ブロックアドレスラッチ7にブロックアドレスを記憶する方法は前記の述べた通りである。ここまでは、リードディスターストを生じたかどうかをセンスする(erase V_{th} sense) 期間に当たる。

【0097】この後、信号 $\phi 6$ として V_{12} の電位を印

27

加したまま、信号 $\phi 7$ を“H”(Vcc)にして制御線 SWLを“L”にし、V2をデータ転送線BLT2に印加する。ここで、V2はV11'よりも低い電位であり、pn接合の順方向電圧の符号反転した値、すなわち-0.7V以上の電位である。また、メモリセルトランジスタの消去しきい値上限と消去しきい値平均との差以上に、V2をV11よりも低下させることにより、トランジスタQ12、Q13の方が、メモリセルアレイ1中のメモリセルトランジスタよりもリードディスターストレスを大きくできる。図25(a)で示したように、リードディスターストレスが大きい方が、ストレス印加時間に対するしきい値変化の割合が大きい。よって、V2をV11よりも低下させることにより、トランジスタの消去しきい値ばらつきがあっても、メモリセルアレイ1中のメモリセルトランジスタがリードディスターストレスを生じるよりも早く、トランジスタQ12またはQ13でリードディスターストレスを検出するには望ましい。さらに、V2は0Vとすることにより、データ転送線BLT2と0Vである共通ソース線SLの間に直流電流が流れず、消費電流を減らすために望ましい。ついで、制御線 OWLを(Vread+Q14のしきい値)以上の電位にして、トランジスタQ12およびQ13のゲート電極に、メモリセルアレイ1の対応するデータ選択線WL14aおよびWL15aと同じ電位、つまり、それぞれVrefおよびVreadを印加する。これら電圧制御によって、選択ブロックの非選択データ選択線WL15aに接続されたQ13のゲート電極にはVreadが印加され、ソースおよびドレイン電極にV2から0Vの間の電圧が印加される。一方、選択ブロックの非選択ダミーデータ選択線DWL15aに接続されたメモリセルエレメントM15のゲート電極にはVreadが印加され、ソースおよびドレイン電極には、BL2precharge期間は、V11'の電位が印加され、その他の読み出し期間にはV11'から0Vの間の電圧が印加される。よって、V2をV11'よりも低い電圧、例えば0Vとすることによって、Q13の方がM15よりも大きなリードディスターストレスを印加することができる。

【0098】ここで、図25(a)、(b)に示したように、リードディスターストレス、つまりソース・ドレイン領域とゲート電極の電位差が大きいほど、しきい値変化も大きくなる。よって、メモリセルアレイ1に含まれるデータ記憶用メモリセルエレメントより大きなリードディスターストレスが印加されたリードディスターストレス評価用セルアレイおよびスイッチ4内のリードディスターストレス検出用メモリセルは、メモリセルアレイ1よりも早くリードディスターストレス検出しきい値に達する。これにより、メモリセルアレイ1の記憶データがリードディスターストレスによって破壊される前に、リードディスターストレス評価用セルアレイおよびスイッチ4内のリードディスターストレス検出用メモリセルによってリードディスターストレスを検

28

出することができる。ここまでは、リードディスターストレスをQ13に与える(図11のリードディスターストレス印加: read disturb stress apply) 期間に当たる。

【0099】なお、リードディスターストレスのしきい値変化は、ストレス印加時間tsに対して特開平11-330277号公報のようにlog(ts)にほぼ依存するため、本実施の形態のように、ストレス印加後にストレスが一回追加されても大きくしきい値は変化しない。よって、リードディスターストレス検出しきい値を小さく設定しておくことにより、メモリセルブロック49のデータはこのリードディスターストレス印加(read disturb stress apply)のシーケンスで破壊されることなく読み出すことが可能である。

【0100】この後、信号 $\phi 6$ 、信号 $\phi 7$ 、制御線OWLを“L”にしてリードディスターストレスをトランジスタQ13に与える期間を終了する。この期間の長さとしては、図11のメモリセルブロックに対する読み出しサイクルの長さ、すなわち、図11のBL2precharge、BL2discharge、data Vth sense期間の総和になるべく近くなることが、メモリセルブロック49に含まれるデータメモリセルとリードディスターストレス評価用セルアレイおよびスイッチ4に含まれるリードディスターストレス検出用メモリセルでリードディスターストレス印加時間を揃え、より正確なリードディスターストレス検出を行うのに望ましい。また、図のBLT2prechargeは、BL2prechargeの開始と同時にそれ以降に開始されるようにし、リードディスターストレス印加(read disturb stress apply)は、data Vth senseの終了と同時にそれ以前に終了するようにする。このようにすることにより、回路ブロック4のメモリセルのリードディスターストレス評価およびリードディスターストレス印加をメモリセルブロック49の読み出し(read)動作サイクル以内に行うことができ、読み出し操作は従来と同じ一回で良く、読み出し時間がデータリフレッシュを行わない従来例より増大せず高速である。しかも、ブロック検知のためのデータセルの追加読み出しも必要なく、データセルの追加読み出しに起因する読み出しストレスの増加やデータ破壊を防ぐことができる。勿論、例えばリードディスターストレス印加(read disturb stress apply)は、data Vth senseの終了と同時にすることにより、タイミング発生回路を共通化でき、回路を削減することができる。

【0101】以上読み出し操作において、ダミーデータ選択線DWL14aに接続されたリードディスターストレス検出用メモリセルQ12について示したが、リードディスターストレス印加(read disturb stress apply)期間には、対応するメモリセルエレメントM14と同じゲート電圧が印加される。また、同時に、ダミーデータ選択線DWL15aに接続されたリードディスターストレス検出用メモリセルQ13について示したが、リードディスタ

29

ープストレス印加 (read disturb stress apply) 期間には、対応するメモリセルエレメントM15と同じゲート電圧が印加される。

【0102】本発明の半導体記憶装置におけるメモリセルブロックでは、1つのメモリセルエレメントに接続されたデータ制御線のみVrefが印加され、他のメモリセルエレメントのデータ制御線にはVreadが印加されより強いリードディスターストレスが印加される。よって、1ブロックあたり2つ以上のメモリセルエレメントによってリードディスターストレスを検出することにより、1つのデータ制御線を選択的にアクセスした場合でも、もう1つのデータ選択線に接続されたメモリセルエレメントにはVreadなるリードディスターストレスが印加されるので、いずれかのセルで正しくVreadによるリードディスターストレスを評価することができる。

【0103】なお、このリードディスターストレス検出用メモリセルのストレス印加回数の検出ポイントは、リードディスターストレス評価用セルアレイおよびスイッチ4内のリードディスターストレス検出用メモリセルの個数をjとして、(メモリセルブロック49中のメモリセルエレメントでのリードディスターストレス印加累計回数)/j以下に設定すれば、メモリセルブロック49中のどのメモリセルをいずれの頻度で読み出しを行った場合でも、メモリセルブロック49中のメモリセルエレメントの頻度の最大回数のストレスをリードディスターストレス評価用セルアレイおよびスイッチ4内のリードディスターストレス検出用メモリセルで評価することができる。

【0104】また、本実施の形態では、図5に示すように、回路ブロック4を構成するトランジスタ数を後述する実施の形態よりも少なくすることができ、より回路面積を小さくすることができる。

【0105】一方、データ消去は、データ転送線BL2、BLT2および共通ソース線SLがフローティングに保たれ、メモリセルアレイが形成されたp型シリコン領域23に、例えば1nSから1μSの間の時間、例えば10V以上30V以下の消去電圧Vppeが与えられる。さらに制御線OWLには、VppeにQ14またはQ15のしきい値電圧を加えた値以上の電圧が加えられる。また、制御線SWLはしきい値電圧以下にされ、例えばp型シリコン領域23にVppeを与える前にあらかじめフローティング(floating)にされるか、0Vに保たれる。この際、選択ブロックの全データ選択線は0Vに設定される。ここで、100mS以下の実用的な速度で消去動作を終了するために、Vppeとしては、トンネル絶縁膜に 10^{-4} A/cm^2 以上のトンネル電流を流すのに十分な電圧が要求される。例えば膜厚t[nm]のシリコン酸化膜をトンネル絶縁膜25に用いた場合では、Vppeはt[V]から6t[V]の範囲にするのが実用的速度を得るために望ましい。また、Vpp

30

eのパルス幅としては、1μSから100mSの間となるようにするのが実用的速度を得るために望ましい。これにより、電荷蓄積層26からの電子放出により全メモリセルのデータ、特に、回路ブロック4内のメモリセルQ12およびQ13のデータもメモリセルブロック49のメモリセルのデータと同時に消去される。データ消去時、ブロック選択ゲートGSLおよびSSLはフローティングとしウェルとの容量結合で電位上昇する。したがって、ブロック選択ゲートとチャネルとの間に電位差は生じないため、選択ゲートの絶縁膜に電子注入され破壊されることはない。また、非選択ブロックのデータ選択線についてもフローティングとしウェルとの容量結合で電位上昇する。したがって、非選択ブロックのデータ選択線についてもチャネルとの間に大きな電位差は生じないため、メモリセルの電荷蓄積層26に電子注入されデータ破壊されることはない。このブロック消去プロセスによって、回路ブロック4のリードディスターストレス検出用メモリセルQ12およびQ13の状態は、メモリセルブロック49と同じく、リードディスターストレスが印加される前の消去状態にプリセットされる。よって、それぞれのメモリセルブロック49に対して、リードディスターストレス時間をセルと同様に正しく評価することができる。

【0106】データ書き込み時は、“0”データを書き込みを行うデータ転送線に0V、“1”データ書き込みを行うデータ転送線にVccが与えられ、データ選択線側の選択ゲートSG11にはVcc、共通ソース側の選択ゲートSG12は0Vが与えられる。さらに、p型シリコン領域23の電圧を0Vとし、選択したデータ選択線は書き込み電圧Vpgm、非選択データ選択線はVpassに昇圧される。ロウデコーダ3およびデータ制御線ドライバ2の動作は基本的に読み出し時と同じである。ここで、100mS以下の実用的な速度で書き込み動作を終了するために、Vpgmとしては、トンネル絶縁膜に 10^{-4} A/cm^2 以上のトンネル電流を流すのに十分な電圧が要求される。例えば膜厚t[nm]のシリコン酸化膜をトンネル絶縁膜25に用いた場合では、Vpgmはt[V]から6t[V]の範囲にするのが実用的速度を得るために望ましい。また、Vpgmのパルス幅としては、1μSから100mSの間となるようにするのが実用的速度を得るために望ましい。そして、“0”データが与えられたデータ転送線に沿った選択メモリセルエレメントでは、浮遊ゲートに電子注入が生じて、しきい値の値が正の状態になる。一方、“1”データが与えられたメモリセルエレメントでは、フローティングのチャネルが制御ゲートとの容量結合によって電位上昇して、電子注入は生じない。

【0107】上記データ転送線BLT2については、データ書き込み時には“1”データを必ず書き込み、つまり消去状態を保ち、後述するSE5のシーケンスの場合のみ“0”データを書き込むようにする。

【0108】以上、書込みおよび消去についても、サイクル時間がデータリフレッシュを行わない従来例と同じで、メモリセルアレイ1をアクセスしている期間以外に回路ブロック4内のセルのみの書込みおよび消去のためのサイクルを必要とせずに、高速に動作できる。

【0109】次に、本発明のデータをリフレッシュする手順の例を図12および図13を用いて説明する。ここでは一例として、本構成でリードディスタープを生じたセルブロック49のデータを再設定する手順として、SE1からSE8までのシーケンスを示す。SE1は、単一または、複数のメモリセルブロック49について、データ読み出しを行うシーケンスである。このデータ読み出しシーケンスにより、上記のように、リードディスタープが生じつつあるブロックが存在する場合には、ブロックアドレスラッチ7にアドレスとリードディスタープ検出フラグが記憶される。このSE1とSE2のシーケンス間に、いずれのブロック書込み操作や消去動作が挿入されていても、ブロック読み出しを行ったブロックについては、メモリセルブロック49中のメモリセルの最大回数のストレスをトランジスタQ12またはQ13のいずれかで評価できるので構わない。

【0110】次に、ブロックアドレスラッチ7に記憶されたリードディスタープ検出フラグを調べることにより、リードディスタープ検出をSE2のシーケンスで行う。ついで、リードディスタープが検出された場合には、ブロックアドレスラッチ7に記憶されたリードディスタープ検出ブロックアドレスを読み出すSE3のシーケンスで行う。さらに、該ブロックアドレスのブロック内の全データを読み出し、例えばDRAMやSRAM等の揮発性メモリや、フラッシュメモリからなる一時記憶装置に格納するSE4のシーケンスを行う。ここで、リードディスタープによるしきい値変化は、ストレス印加時間 t_s に対して特開平11-330277号公報のように $\log(t_s)$ に依存するため、ストレス印加後にストレスが一回追加されても大きくしきい値は変化しない。よって、リードディスタープ検出しきい値を小さく設定しておくことにより、メモリセルブロック49のメモリセルブロックのデータはこのSE4のシーケンスで破壊されることなく読み出すことが可能である。

【0111】この際、該ブロックの消去ビットをすべてベリファイ書込みを行うシーケンスSE5を挿入しても良い。このシーケンスは、書込みおよび消去を繰り返すことによって、リードディスタープストレス印加時のしきい値変化量が変化する場合に特に有効である。このSE5シーケンスを入れることによって、リードディスタープ評価用セルアレイ4のリードディスタープ検出用メモリセルQ12、Q13と、1ブロック内に含まれるすべてのメモリセルの書込みおよび消去履歴を揃えることができ、膜疲労によるリードディスタープしきい値変化の特性を1つのブロック内で揃えることができる。よつ

て、リードディスタープ検出用メモリセルによってリードディスタープを正しく評価できる。また、消去後にはすべてのデータ記憶用メモリセルエレメントに対して必ずデータ書込みが行われるので、過消去の問題も緩和できるため、消去しきい値を揃えることができる特長を有する。

【0112】なお、書込みおよび消去を繰り返すことによって、リードディスタープストレス印加時のしきい値変化量があまり大きくない場合には、このSE5のシーケンスは不要であり、より短いシーケンスで実現することができる。このSE5のシーケンスについては、図13を用いて後に詳しく説明する。

【0113】その後、該ブロックの全データをブロック消去するSE6のシーケンスで行い、さらに前記一時記憶装置に格納された該ブロックの全データを書き戻すSE7のシーケンスを行う。このSE4～SE7の操作によって、該ブロックの消去しきい値および書き込みしきい値は、図14(a)のようにすべてリードディスタープを受ける前の設定しきい値に再設定される。これらの工程をリフレッシュ工程と呼ぶことにする。

【0114】図14(a)はNAND型アレイにおけるリードディスタープストレス印加累計時間と消去しきい値の変化を示しており、実線が回路ブロック4のリードディスタープ検出メモリセルのしきい値変化を、破線が同一ブロックのメモリセルアレイ1のデータメモリセルのしきい値変化、特にリフレッシュによってどのように変化するかを示している。このSE7のシーケンスの後、リフレッシュしたブロック以外のブロックに対してSE2のシーケンスを再び行う。この際、リフレッシュしたブロックのアドレスは、1Mビットのブロックがあるメモリでも高々20ビットで指定できるので、例えばDRAMやSRAMという揮発性メモリからなる一時記憶装置に容易に保持しておくことができ、上記メモリ外部での比較も容易であり、ブロックアドレスを重複してリフレッシュすることを防止できる。図10のように複数のブロックアドレスラッチ7を有する場合には、複数のブロックアドレスラッチ7のリードディスタープ検出フラグをすべて調べて、リードディスタープを検出したブロックに対してリフレッシュを1回行う。

【0115】一方、SE2にて、リードディスタープが検出されなくなった場合には、例えばユーザーのコマンド入力によって、信号POWERONとして“L”パルスを印加し、ブロックアドレスラッチ7および回路6を、リードディスタープを検出する前の初値に戻す操作SE8を行って終了する。この後、また読み出し、書込み、消去動作を行っても良いし、電源を遮断してもよい。電源を遮断する場合にはSE8は省略してもよい。このように、リードディスタープを検出するリフレッシュを行うことで、(リードディスタープ判定までのストレス印加累計読み出し回数)×(メモリセルの書込み消

33

去可能回数)まで、読み出し回数を増やすことができる。よって、リフレッシュを行わない従来例よりも読み出し回数を大幅に増加することができ、より信頼性が高いメモリセルを実現することができる。

【0116】なお、図12におけるSE1のシーケンスで読み出されるブロックの回数を bc とし、リードディスタープが検出されるまでの読み出し可能回数を kr とすると、平均では (bc/kr) 個のブロックが図12のシーケンスでリードディスタープと判定される。よって、基本的には、 (bc/kr) 個以上のブロックアドレスラッチ7を用意しておけばよい。前述したように、リードディスタープ検出によってデータ破壊が生じないので、リードディスタープ検出を行った後も、再書き込みを行わない状態では、再び当該セルを読み出すことによりリードディスタープを検出できるので、図12のシーケンス毎にリフレッシュするリードディスタープセルの発生頻度を平均化することができる。

【0117】次に、SE5のシーケンスについて、図13を用いて説明する。まず、該ブロックのデータ記憶用メモリセルアレイ1に接続されたセンスアンプ46のD1/Oを“L”として信号 $\phi 3$ を“H”とするSE9のシーケンスを行う。これにより、該ブロックのデータメモリセルについて、センスアンプ46をすべて消去された状態として一括して高速に初期化できる。その後、書き込み状態を調べるベリファイ読み出しシーケンスであるSE10を実行する。ついで、まだ消去された状態のビットが残っているかどうかSE11で判定し、SE12で書き込み電圧およびパルス幅を設定した後、SE13で消去ビットのみ選択的に書き込みを行う。これら、SE10～SE13までのシーケンスは、例えば特開平7-182886号公報に公知のベリファイ書き込みシーケンスで行えばよいので省略する。SE11ですべてのビットが書き込み終了と判定された場合には、SE14にて、該ブロックに含まれるすべてのビットが書き込み終了かどうか判定し、書き込み終了の場合にはSE5を終了する。一方、SE14にて書き込み終了でない、つまり残りページがある場合には、SE15で次のページへ進む。本SE5のシーケンスを用いれば、SE5前に既に書き込みが行われたセルには書き込みが行われず、消去されているすべてのセルに選択的に書き込みが行われる。よって、過書き込みストレスによるしきい値広がりが増加や書き込みストレスによるセル特性劣化を防ぐことができる。

【0118】本実施の形態の特有の特長として、リードディスタープ検出が、data Vth senseの前に行われる。よって、リードディスタープ検出後も読み出し中のブロックアドレスが保持されており、これをラッチ回路7に取り込むまでの時間に余裕があり、センスアンプ5、制御ロジック回路6およびブロックアドレスラッチ7をゆっくりとしたタイミングで動作させることができる。

34

よって、これら回路動作に伴う過渡消費電流を小さくすることができ、メモリセルアレイ1の読み出しに対する電流ノイズも高速動作させた場合に比較して小さくすることができ、よりメモリセルアレイ1の誤動作を防ぐことができる。

【0119】〔第二の実施の形態〕図15に本発明の第二の実施の形態に係る半導体記憶装置の構造を示す。本実施の形態は、第一の実施の形態とほぼ同一であるが、回路ブロック4の構成、およびリードディスタープ検出用メモリセルに与える電圧のタイミングが第一の実施の形態と異なっている。なお、第一の実施の形態と同一の部分や同一の電圧関係には、同一符号をつけて詳しい説明は省略する。

【0120】図15は、図5に対応するリードディスタープ検出用メモリセル部の回路を示している。図15に示す回路は、図5に示した回路に比較して2つの構造上の特長がある。これらは独立に実施することができる。1つは、リードディスタープ検出用メモリセルブロックの共通ソース線SLとの間の選択トランジスタQ11のゲート電極は、高耐圧トランジスタQ18の電流端子に接続されていることである。さらに、この高耐圧トランジスタQ18のもう一方の電流端子は、メモリセルアレイ1のブロック選択線GSLaに接続されている。さらに、高耐圧トランジスタQ18のゲート電極は制御線GSLGに接続され、この制御線GSLGはデータ転送線BLT2と同方向に伸びて隣接するブロックの高耐圧トランジスタQ18のゲート電極に並列接続されている。これは、リードディスタープストレスを与える場合に回路ブロック4のすべてのリードディスタープ検出用メモリセルのソース・ドレイン電圧を等しくし、ストレス印加条件を揃えるためのものである。

【0121】もう1つの特長は、リードディスタープ評価用メモリセルQ13、Q13'、Q13"が複数個形成され、ダミーデータ選択線DWL15aに共通にゲート電極が接続されていることである。これらQ13、Q13'、Q13"は、ソース・ドレイン電極が直列に接続されて、Q12のソース・ドレイン電極の一端と、Q11のソース・ドレイン電極の一端と接続されている。ここで、Q13、Q13'、Q13"の個数の和は、(メモリセルブロック49のM0～M15の個数の和) - (Q12の個数)、すなわち15個となるようにするのが、直列接続したトランジスタのチャネル抵抗成分を実際のデータ用メモリセルM0～M15と揃えるのに望ましい。また、Q13、Q13'、Q13"およびQ12は、M0～M15と同じ構造のメモリセルであることが、セル特性をメモリセルアレイ1とリードディスタープ検出用メモリセルとで揃えるためには望ましい。ここで、例えばメモリセルエレメントM0を読み出す場合を考えると、メモリセルエレメントM1～M15にはリードディスタープが生じしきい値が上昇する。この時、例

35

例えばメモリセルエレメントM14のソース電極はメモリセルエレメントM15のソース電極よりもこのM15のチャネル抵抗分ソース電圧が上昇する。よって、リードディスターストレスであるVreadの一定ゲート電圧を加えた状態では、ソース電圧から測ったゲート駆動電圧がM14の方がM15よりも低くなり、M14のチャネル抵抗はM15のチャネル抵抗よりも高くなり、NAND型メモリセルの直列数が増加するに従い、M15のチャネル抵抗が15個直列に接続されたモデルよりも、よりM0のソース端の電圧が上昇する。これにより、メモリセルエレメントM0の消去しきい値を書き込みしきい値と誤読み出しされる割合が大きくなる。

【0122】よって、図15に示したような構造をとることにより、複数のセルでリードディスターストレスが生じしきい値が上昇する読み出しセルのソース電圧が上昇する量をQ13, Q13', Q13"によって、リードディスターストレス評価用セルアレイおよびスイッチ4内のリードディスターストレス検出用メモリセルでもより正確に再現することができ、第一の実施の形態よりも正確にリードディスターストレスを検出することができる。

【0123】図16に、データ選択線WLとブロック制御線SSL, GSL, および回路ブロック4と回路ブロック11に関するタイミングチャートを示す。

【0124】まず、Q12およびQ13, Q13', Q13"はM0~M15の消去しきい値と同じしきい値に設定されているとする。消去しきい値に設定するシーケンスについては、第一の実施の形態と同様にすればよい。また、読み出し(read)動作においては、信号φ2が供給されるトランジスタQ2は閉じたままで構わないので省略する。また、REENB1は図11のWL0a~WL15aまでに電圧印加されている期間“H”になるような信号とする。ここでは、メモリセルエレメントM14を読み出す場合を例として挙げる。

【0125】まず、制御線OWLを(Vread+Q14のしきい値)以上の電位にして、Q14およびQ15を導通状態にし、Q12およびQ13, Q13', Q13"のゲート電極に、メモリセルアレイの対応するデータ選択線WL14aおよびWL15aと同じ電位が印加されるようにする。この時、制御線SWLを“L”にし、ノードVRとQ12, Q13, Q13', Q13"を電気的に分離する。ついで、ブロック選択線GSLaが“L”である期間、つまり、BL2precharge期間中に制御線GSLGに“H”パルスを実加し、Q11のゲート電極を“L”にプレチャージする。なお、制御線GSLGのパルスの立ち下がり、ブロック選択線GSLaのパルスの立ち上がり以前となるようにし、Q11のゲート電極にブロック選択線GSLaの立ち上がり電圧が印加されないようにする。

【0126】ついで、信号φ6をV11電圧とすることにより、V2の電位をデータ転送線BLT2に転送す

36

る。ここで、V2はV11'よりも低い電位であり、pn接合の順方向電圧の符号反転した値、すなわち-0.7V以上の電位である。ここで、V11はQ6のしきい値をVthとして(Vth+V11')となる値と設定し、V11'はセンスアンプとなるトランジスタQ5のしきい値程度の電圧であり、Vcc以下となる電圧で、トランジスタQ5を高い感度で駆動するために、たとえば0.5Vと2Vとの間が望ましい。このようにすることにより、S1, M0~M15までのトランジスタのソースおよびドレイン領域、さらにトランジスタQ11, Q12, Q13, Q13', Q13"のソースおよびドレイン領域をV2に充電する。ついで、共通ソース線SLに接続された側のブロック選択線GSLaを“H”にする。第一の実施の形態と異なり、Q11のゲート電圧が0Vが保持されているので、Q11は遮断状態となり、Q12, Q13, Q13', Q13"のソース・ドレイン電極にはV2の一定電圧が印加される。よって、Q12, Q13, Q13', Q13"のリードディスターストレスを第一の実施の形態よりもセル電流Icellの値に依らず揃えることができ、Icellの設定値が変化しても安定にリードディスターストレスを検知することができる。この時Q11が遮断状態なので、V2として0V以外の電圧を選んでも、BLからSLへの電流が流れず、より低消費電力化が図れる。また、セルトランジスタの消去しきい値上限と消去しきい値平均との差以上に、V2をV11よりも低下させることにより、Q12およびQ13, Q13', Q13"のトランジスタの方が、メモリセルアレイ1のメモリトランジスタよりもリードディスターストレスを大きくできる。図1で示したように、リードディスターストレスが大きい方が、ストレス印加時間に対するしきい値変化の割合が大きい。よって、V2をV11よりも低下させることにより、トランジスタの消去しきい値ばらつきがあっても、メモリセルアレイ1のメモリトランジスタがリードディスターストレスを生じるよりも早くQ12またはQ13, Q13', Q13"でリードディスターストレスを検出するには望ましい。

【0127】次に、データ制御線ドライバ(DRVa)2に接続されたブロックのデータ選択線WL14aが選択されたとすると、WL14aがVrefに設定される。具体的には、データ読み出し時、データを読み出すブロックのロウデコーダ(RDECa)3が活性化され、SSLa, WL14a, WL14aを除いたデータ選択線WL0a~WL15a、およびブロック選択線GSLaにそれぞれ、例えばVread, Vref, Vread, Vreadなる電圧が印加される。なお、非選択のブロックのSSL, WL0~WL15およびGSLは読み出し期間中フローティング(floating)または0Vに維持され、データの誤読み出しや破壊が生じないようにする。Vrefは、メモリセルの書き込みしきい値お

37

よび消去しきい値の中間、例えば0Vから2Vの間に設定される。残りの非選択データ選択線WL0a~WL13aおよびWL15aは、Vread発生回路41cから出力される、メモリセルの書き込みしきい値の最大値よりも高い電圧に設定され、データ転送線に接続された側のブロック選択線SSLaにもVreadが与えられる。ついで、制御線OWLを(Vread+Q14のしきい値)以上の電位にして、Q12およびQ13, Q13', Q13"のゲート電極に、メモリセルアレイ1の対応するデータ選択線WL14aおよびWL15aと同じ電位、つまり、それぞれVrefおよびVreadを印加する。これら電圧制御によって、選択ブロックの非選択ダミーデータ選択線DWL15aに接続されたQ13, Q13', Q13"のゲート電極にはVreadが印加され、ソースおよびドレイン電極にV2の電圧が印加される。一方、選択ブロックの非選択ダミーデータ選択線DWL15aに接続されたメモリセルM15のゲート電極にはVreadが印加され、ソースおよびドレイン電極には、BL2precharge期間には、V11'の電位が印加され、その他の読み出し期間にはV11'から0Vの間の電圧が印加される。よって、V2をV11'よりも低い電圧とすることによってQ13, Q13', Q13"の方がM15よりも大きなリードディスターストレスを印加することができる。ここで、図25に示したように、リードディスターストレス、つまりソース・ドレイン電極とゲート電極の電位差が大きいくほど、しきい値変化も大きくなる。この結果、メモリセルアレイ1に含まれるデータメモリセルエレメントより大きなリードディスターストレス印加されたリードディスターストレス評価用セルアレイおよびスイッチ4内のリードディスターストレス検出用メモリセルは、メモリセルアレイ1よりも早くリードディスターストレス検出しきい値に達する。これにより、メモリセルアレイ1のデータがリードディスターストレスによって破壊される前に、リードディスターストレス評価用セルアレイおよびスイッチ4内のリードディスターストレス検出用メモリセルによってリードディスターストレスを検出することができる。ここまでは、リードディスターストレスをQ13, Q13', Q13"に与える(図11のリードディスターストレス印加 read disturb stress apply)期間に当たる。

【0128】この後、信号φ7、制御線OWLを“L”にしてリードディスターストレスをQ13, Q13', Q13"に与える期間を終了する。このリードディスターストレス印加(read disturb stress apply)期間の長さとしては、図11のメモリセルブロックに対する読み出しサイクルの長さ、すなわち、図11のBL2precharge、BLT2discharge、data Vth sense期間の総和になるべく近くなることが、メモリセルブロック49に含まれるデータメモリセルと4に含まれるリードディスターストレス検出用メモリセルとでリードディスタ

38

ーストレス検出時間を揃え、より正確なリードディスターストレス検出を行うのに望ましい。

【0129】ついで、信号φ8および信号φ3を“H”にして、トランジスタQ8およびQ3を導通状態とし、インバータInv1の入力を“L”とし、ノードn1を“H”にプリセットする。また、同時に、制御線SWLを“H”にし、Q12およびQ13, Q13', Q13"のゲート電極にノードVRの電位を印加する。ここで、ノードVRの電位は、Q12やQ13, Q13', Q13"の消去しきい値がリードディスターストレスによって上昇し、リードディスターストレスを生じたことを検知するのに用いるしきい値電圧となる。よって、例えば書き込み直後のしきい値の最低値をVthw、消去直後のしきい値の最大値をVtheとして、VthwとVtheとの範囲内となる値であり、(Vthw+Vthe)/2から、Vthe+(センスアンプ感度)~Vthe+0.1[V]の間に設定するのが、安定なリードディスターストレス検出には望ましい。信号φ6をV11電位としたまま、信号φ1を“H”にすることにより、トランジスタQ1およびQ6を通じてデータ転送線BLT2をV11'に充電する。ここで、信号φ6はQ6のしきい値をVthとして(Vth+V11')となる値に設定しているため、BLT2がV11'になるとQ6が遮断状態となり、BLT2への充電が止まる。BLT2がV11'に達した後、信号φ6を0VとしQ6を遮断する。ここまでは、BLT2をプレチャージする(BLT2precharge)期間に当たる。V1はV11以上Vcc以下の電圧とすれば良いが、Vccとするのが回路を簡便にするのに望ましい。

【0130】その後、制御線GSLGを“H”にする。このタイミングは、メモリセルアレイ1は“BL2discharge”と書かれた期間内に行うようにする。この期間内ではメモリセルアレイ1の読み出しセルはデータ転送線の電荷を放電している期間なので、ブロック選択線SSLaは“H”となっており、Q11のゲート電極には“H”が加えられる。これによりQ11が導通状態となり、リードディスターストレス検出用メモリセルQ12およびQ13, Q13', Q13"のすべてのしきい値がVR以下ならば導通状態となり、データ転送線BLT2の電位は低下する。この場合は、Q12およびQ13, Q13', Q13"でリードディスターストレスを生じていない場合に対応する。一方、リードディスターストレス検出用メモリセルQ12、またはQ13, Q13', Q13"のしきい値が1つでもVRより高いならばメモリセルQ12またはQ13, Q13', Q13"は遮断状態となるため、データ転送線BLT2の電位低下はない。この場合は、Q12またはQ13, Q13', Q13"のいずれかでリードディスターストレスを生じた場合に対応する。このタイミングでは信号φ6は0Vなので、トランジスタQ5のゲート電極の電位は低下しない。ここまでは、Q1

39

2またはQ13, Q13', Q13" がリードディスタープを生じた場合にBLT2の放電を行う (BLT2 discharge) 期間に当たる。

【0131】 について、信号φ1、信号φ3および信号φ8を“L”とした後、信号φ6が供給されるトランジスタQ6のゲートにV12なる電圧を加えることによって、トランジスタQ5のゲート電極ノードにデータ転送線BLT2の電荷の移送を行う。V12は、V11以下の電圧で、トランジスタQ5のしきい値よりも高い電圧に設定され、例えば1.5Vとする。通常、データ転送線BLT2の容量CBは、トランジスタQ5のゲート電極ノードの容量CSより10倍以上大きいので、BLT2の前記電位低下は、トランジスタQ5のゲート電極ノードでは、(CB/CS) 倍に増幅される。これにより、リードディスタープを生じたことを検知した場合には、トランジスタQ5のしきい値よりもトランジスタQ5のゲート電圧が上昇したままなので、トランジスタQ5が導通状態となる。一方、リードディスタープを検知しない場合には、データ転送線BLT2の電位が低下し、トランジスタQ5のしきい値以下にトランジスタQ5のゲート電圧が低下し、トランジスタQ5が遮断状態となる。

【0132】 この後、信号φ4として“H”パルスを与えることにより、トランジスタQ5の導通/非導通状態をノードn1に転送する。これにより、リードディスタープを生じたことを検知すると、ノードn1は信号φ4の“H”への立ち上がりにより“L”に変化する。ついで、信号φ3として“H”パルスを与えることにより、ノードn1がインバータInv2によって反転した信号をDI/Oに出力する。この後、DI/Oの出力によって、リードディスタープを生じたことを検知した場合には、ブロックアドレスラッチ7にブロックアドレスを記憶する方法は前記の述べた通りである。ここまでは、リードディスタープを生じたかどうかセンスする (erase Vth sense) 期間に当たる。

【0133】 この後、信号φ6、信号φ3、制御線GSLG, SWLを“L”にしてerase Vth sense期間を終了する。ここで、図16のリードディスタープストレス印加 (read disturb stress apply) は、BL2prechargeの開始と同時にそれ以降に開始されるようにし、erase Vth senseは、data Vth senseの終了と同時にそれ以前に終了されるようにする。このようにすることにより、回路ブロック4のメモリのリードディスタープ評価およびリードディスタープストレス印加をメモリセル49の読み出し (read) 動作サイクル以内に行うことができ、読み出し操作は従来と同じ一回で良く、読み出し時間がデータリフレッシュを行わない従来例より増大せず高速である。しかも、ブロック検知のためのデータセルの追加読み出しも必要なく、データセルの追加読み出しに起因する読み出しストレスの増加やデータ破壊を防ぐ

40

ことができる。勿論、例えばerase Vth senseは、data Vth senseと開始や終了タイミングと一致させることにより、タイミング発生回路を共通化でき回路を削減することができる。

【0134】 第一の実施の形態と比較して、本実施の形態では、erase Vth senseとdata Vth senseとを同時タイミングで行うことができ、信号φ4をデータメモリのセンスアンプ46とリードディスタープ評価用センスアンプ5で共通化できタイミング発生回路を削減することができる。さらに、5と46のいずれかのセンスアンプが先に動作すると、データ転送線BLT2またはBL2の電圧が大きく変化し、遅れて動作するセンスアンプに接続されたデータ転送線に大きな容量性結合の電圧変動を生ずる。よって、本実施の形態では、第一の実施の形態で述べた特長に加え、erase Vth senseとdata Vth senseのタイミングを一致させることができるので、この電圧変動を低減でき、データやリードディスタープ評価の誤読み出しを減らすことができる。

【0135】 本実施の形態の構成でも、第一の実施の形態となら変わりなくリードディスタープを検出できることは明らかであろう。また、書き込みおよび消去動作についても、制御線GSLGを“H”に保つ動作を行えば、第一の実施の形態のNAND型セルアレイの説明と変わらない。よって、第一の実施の形態に説明したシーケンスによって、リードディスタープを検出したデータブロックをリフレッシュすることが可能である。

【0136】 [第三の実施の形態] 図17に本発明の第三の実施の形態に係る半導体記憶装置の構造を示す。本実施の形態は、第二の実施の形態のNAND型メモリセルブロック49をAND型メモリセルブロックに変更したものである。なお、第一の実施の形態および第二の実施の形態と同一の部分や同一の電圧関係には、同一符号をつけて詳しい説明は省略する。

【0137】 図17は、図5に対応するAND型メモリセルブロックの回路図である。図17のメモリセルブロック49はデータを格納するAND型メモリセルブロック49を示すが、電荷蓄積電極を有するMOSトランジスタからなる不揮発性メモリセルM0~M15が電流端子を並列に接続され、一端が選択トランジスタS1を介してBLと記してあるデータ転送線に接続されている。また他の一端は選択トランジスタS2を介してSLと記してある共通ソース線に接続されている。また、それぞれのトランジスタは、同一のウェル領域上に形成されている。nをブロックインデックス (自然数) とすると、それぞれのメモリセルM0~M15の制御電極は、WL0a~WL15aと記したデータ選択線に接続されている。また、データ転送線に沿った複数のメモリセルブロックから1つのメモリセルブロックを選択してデータ転送線に接続するため、選択トランジスタS1の制御電極はブロック選択線SSLaに接続されている。さらに選

41

択トランジスタS2の制御電極はブロック選択線GSLaに接続されており、いわゆるAND型メモリセルブロック49（破線の領域）を形成している。本実施の形態では、メモリセルブロック49に $16=2^4$ 個のメモリセルが接続されている例を示したが、データ転送線およびデータ選択線に接続するメモリセルの数は複数であればよく、 2^n 個（ n は正の整数）であることがアドレスデコードをする上で望ましい。

【0138】さらに、図20、図21(a)、図21(b)は、メモリセルブロック49のパターン平面図、矢視B-B'方向断面図、矢視C-C'方向断面図である。特に、図20では、メモリセル構造をわかりやすくするために、制御ゲート電極27よりも下の構造のみを示している。図21(a)、図21(b)において、例えば3nmから15nmの厚さからなるシリコン酸化膜またはオキシナイトライド膜25、25SSL、25GSLから形成されたトンネルゲート絶縁膜を介して、例えばリンまたは砒素を 10^{18}cm^{-3} から 10^{21}cm^{-3} 添加したポリシリコンからなる電荷蓄積層26が10nmから500nmの厚さで形成されている。これらは、例えばシリコン酸化膜からなる素子分離絶縁膜24が形成されていない領域上に、p型シリコン領域23と自己整合的に形成されている。

【0139】この上に、例えば厚さ5nmから30nmの間のシリコン酸化膜またはオキシナイトライド膜、またはシリコン酸化膜/シリコン窒化膜/シリコン酸化膜からなるブロック絶縁膜50が形成されている。これらは、例えばシリコン酸化膜からなる素子分離絶縁膜24が形成されていない領域に、p型シリコン領域23と自己整合的に形成されている。これは、例えばp型シリコン領域23に25、26を全面堆積した後、パターンニングしてp型シリコン領域23に達するまで、例えば0.05~0.5 μm の深さエッチングし、絶縁膜24を埋め込むことで形成することができる。このようにメモリセル部の25および26を段差の少ない平面に全面形成できるので、より均一性の向上した特性の揃った成膜を行うことができる。また、セル部の層間絶縁膜46とn型拡散層28は、トンネル絶縁膜25を形成する前にあらかじめトンネル絶縁膜25を形成する部分に例えばポリシリコンによるマスク材を形成し、イオン注入によってn型拡散層を形成後、全面に層間絶縁膜46を堆積し、CMPおよびエッチバックによって25部分に相当する部分の前記マスク材を選択的に取り除くことで自己整合的に形成することができる。

【0140】さらに、ポリシリコン、またはWSi（タングステンシラサイド）とポリシリコンとのスタック構造、またはCoSiとポリシリコンのスタック構造からなる制御ゲート電極27が10nmから500nmの厚さで形成されている。この制御ゲート電極27は、図20において隣接するメモリセルブロックで接続されるよ

42

うに紙面左右方向にブロック境界まで形成されており、データ選択線WL0~WL15およびブロック選択ゲート制御線SSL、GSLを形成している。なお、p型シリコン領域23は、n型シリコン領域22によってp型半導体基板21と独立に電圧印加できるようになっていることが、消去時の昇圧回路負荷を減らし消費電力を抑えるためには望ましい。

【0141】図21(b)に示すように、メモリセルに相当するC-C'断面においてこれらゲート電極の下には、例えば5nmから200nmの厚さのシリコン窒化膜またはオキシナイトライド膜からなる層間絶縁膜46を挟んでソースまたはドレイン電極となるn型拡散層28が形成されている。これら拡散層28、電荷蓄積層26および制御ゲート電極27により、電荷蓄積層26に蓄積された電荷量を情報量とする浮遊ゲート型EEPROMセルが形成されており、そのゲート長としては、0.5 μm 以下0.01 μm 以上とする。図21(b)のように、層間絶縁膜46はソース・ドレイン電極28を覆うように、チャネル上にも形成される方が、ソース・ドレイン端での電界集中による異常書き込みを防止するのに望ましい。これらソース・ドレインn型拡散層28としては、例えばリンや砒素、アンチモンを表面濃度が 10^{17}cm^{-3} から 10^{21}cm^{-3} となるように深さ10nmから500nmの間で形成されている。さらに、これらn型拡散層28はBL方向に隣接するメモリセル同士共有され、AND型メモリセルが実現されている。

【0142】また、27SSL、27GSLは、それぞれSSLおよびGSLに相当するブロック選択線に接続されたゲート電極であり、ブロック選択線部では、26と27の間の層間絶縁膜50が剥離され、EEPROMのデータ選択線WL0~WL15と同層で形成されている。ここで、図20および図21(a)に示すように、ブロック選択トランジスタS1は、28および28dをソース・ドレイン電極とし、27SSLをゲート電極としたMOSFETとして形成されており、ブロック選択トランジスタS2は、28および28sをソース・ドレイン電極とし、27GSLをゲート電極としたMOSFETとして形成されている。ここで、ゲート電極27SSLおよび27GSLのゲート長は、メモリセルゲート電極のゲート長よりも長く、例えば1 μm 以下0.02 μm 以上と形成することにより、ブロック選択時と非選択時のオンオフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。本実施の形態では、図17で示すようにAND型メモリセルを用いているので、メモリセルブロックの直列抵抗を小さく一定とすることができ、多値化した場合のしきい値を安定させるのに向いている。

【0143】図18に、図17のAND型のメモリセルアレイに対応したリードディスターブ評価用センスアン

43

ブとデータラッチの回路を示す。また、図19に、図17のAND型のメモリセルアレイに対応したリードディスタープ評価用の制御ロジック回路を示す。

【0144】本回路は、基本的には、それぞれ図6および図7と同じであるが、トランジスタQ8の接続位置が異なっており、プリアップトランジスタQ19とインバータInv1が追加されている。ここで、プリアップトランジスタQ19は、しきい値が負であるディブリッション (depletion) トランジスタによって形成されており、このトランジスタQ19の代わりに例えば1KΩ以上10MΩ以下の抵抗素子を用いても構わない。ここで、Q19の抵抗は、インバータInv2の出力抵抗とQ3のオン抵抗の和より小さい値となるようにし、インバータInv2の論理出力が“L”の場合に、インバータInv3の入力も“L”の論理反転しきい値以下になるようにする。

【0145】AND型のメモリセルアレイでは、書込みデータしきい値がリードディスタープにより消去しきい値に近づき、NAND型の場合と方向が逆であるため、リードディスタープが生じた時の図18のDI/OBのデータ出力の論理値の値がDI/Oと逆になる。そこで、これら回路変更および追加回路は、この論理値の向きの相違に対する補正を行うものである。ここで、図19の回路は、図7の回路を含むので、その動作は、図9で示した論理表から容易に類推できるので省略する。

【0146】次に、データ選択線WLとブロック制御線SSL、GSL、および回路ブロック4と回路ブロック11に関するタイミングチャートを図22に示す。

【0147】まず、リードディスタープ検出用メモリセルQ12およびQ13は、メモリセルエレメントM0～M15の書込みしきい値と同じしきい値に設定されているとする。書込みしきい値に設定するシーケンスについては、第一の実施の形態と同様にすればよい。また、読み出し (read) 動作においては、信号φ2が供給されるトランジスタQ2は閉じたままで構わないので省略する。また、REENB1は図11のWL0a～WL15aまでに電圧印加されている期間“H”になるような信号とする。ここで、M14を読み出す場合を例として挙げる。

【0148】まず、制御線OWLを($V_{ref2} + Q14$ のしきい値)以上の電位にして、Q14およびQ15を導通状態にし、Q12およびQ13のゲート電極に、メモリセルアレイ1の対応するデータ選択線WL14aおよびWL15aと同じ電位が印加されるようにする。この時、制御線SWLを“L”にし、ノードVRとQ12、Q13とを電氣的に分離する。ついで、ブロック選択線GSLaが“L”である期間、つまり、BL2precharge期間中に制御線GSLGに“H”パルスを印加し、Q11のゲート電極を“L”にプレチャージする。なお、制御線GSLGのパルスの立ち下がりとは、ブロッ

44

ク選択線GSLaのパルスの立ち上がり以前となるようにし、Q11のゲート電極にブロック選択線GSLaの立ち上がり電圧が印加されないようにする。

【0149】ついで、信号φ6をV2'電圧とすることによりV2'の電位をデータ転送線BLT2に転送する。ここで、V2'はトランジスタQ6のしきい値をVthとして($V_{th} + V2'$)となる値と設定し、V2'はセンスアンプとなるトランジスタQ5のしきい値以上の電圧であり、例えば0.5Vと5Vとの間が望ましい。このようにすることにより、トランジスタS1、M0～M15のソースおよびドレイン領域、さらにトランジスタQ11、Q12、Q13のソースおよびドレイン領域をV2'に充電する。

【0150】その後、共通ソース線SLに接続された側のブロック選択線GSLaを“H”にする。第一の実施の形態と異なり、Q11のゲート電圧が0Vが保持されているので、Q11は遮断状態となり、Q12、Q13のソース・ドレイン電極にはV2'の一定電圧が印加される。よって、Q12、Q13のリードディスタープを第一の実施の形態よりもセル電流Icellの値に依らず揃えることができ、Icellの設定値が変化しても安定にリードディスタープストレスを印加することができる。この時、トランジスタQ11が遮断状態なので、V2'として0V以外の電圧を選んでも、データ転送線BLから共通ソース線SLへ電流が流れず、より低消費電力化が図れる。上記V2'はV11'よりも高い電位であり、V11'よりもより強いリードディスタープを与えるための電圧である。また、セルトランジスタの書込みしきい値下限と書込みしきい値平均との差以上に、V2'をV11よりも上昇させることにより、トランジスタQ12およびQ13の方が、メモリセルアレイ1中のメモリセルトランジスタよりもリードディスタープストレスを大きくできる。図25(b)で示したように、リードディスタープストレスが大きい方が、ストレス印加時間に対するしきい値変化の割合が大きい。よって、V2'をV11よりも上昇させることにより、トランジスタの消去しきい値ばらつきがあっても、メモリセルアレイ1のメモリトランジスタがリードディスタープを生じるよりも早くQ12またはQ13でリードディスタープを検出するには望ましい。

【0151】ついで、データ制御線ドライバ(DRVa)2に接続されたブロックのデータ選択線WL14aが選択されたとすると、データ選択線WL14aがVref2に設定される。具体的には、データ読み出し時、データを読み出すブロックのロウデコーダ(RDECa)3が活性化され、SSLa、WL14a、WL14aを除いたWL0a～WL15a、およびブロック選択線GSLaにそれぞれ、例えばVcc、Vref2、Vread2、Vccなる電圧が印加される。なお、非選択のブロックのSSL、WL0～WL15、およびGS

45

Lは読み出し期間中フローティング(floating)または0Vに維持され、データの誤読み出しや破壊が生じないようにする。Vref2は、メモリセルの書き込みしきい値および消去しきい値の中間、例えば0Vから2Vの間に設定される。残りの非選択データ選択線WL0a~WL13aおよびWL15aは、Vread発生回路41cから出力されたVread2が与えられ、メモリセルの消去しきい値の最低値よりも低い電圧に設定される。さらに、データ転送線に接続された側のブロック選択線SSLaにもVccが与えられる。ついで、Q12およびQ13のゲート電極に、メモリセルアレイ1の対応するデータ選択線WL14aおよびWL15aと同じ電位、つまり、それぞれVref2およびVread2を印加する。これら電圧制御によって、選択ブロックの非選択ダミーデータ選択線DWL15aに接続されたQ13のゲート電極にはVread2が印加され、ソースおよびドレイン電極にV2'の電圧が印加される。一方、選択ブロックの非選択ダミーデータ選択線DWL15aに接続されたメモリセルM15のゲート電極にはVread2が印加され、ソースおよびドレイン電極には、BL2precharge期間は、V11'の電位が印加され、その他の読み出し期間にはV11'から0Vの間の電圧が印加される。よって、V2'をV11'よりも低い電圧とすることによって、Q13の方がM15よりも大きなリードディスターストレスを印加することができる。ここで、図25(a)、(b)に示したように、リードディスターストレス、つまりソース・ドレイン電極とゲート電極の電位差が大きいほど、しきい値変化も大きくなる。よって、メモリセルアレイ1に含まれるデータメモリセルエレメントより大きなリードディスターストレスが印加されたリードディスターストレス評価用セルアレイおよびスイッチ4内のリードディスターストレス検出用メモリセルは、メモリセルアレイ1よりも早くリードディスターストレス検出しきい値に達する。これにより、メモリセルアレイ1のデータがリードディスターストレスによって破壊される前に、リードディスターストレス評価用セルアレイおよびスイッチ4内のリードディスターストレス検出用メモリセルによってリードディスターストレスを検出することができる。ここまでは、リードディスターストレスをQ13に与える(図22のリードディスターストレス印加 read disturb stress apply)期間に当たる。

【0152】この後、信号φ7、制御線OWLを“L”にしてリードディスターストレスをQ13に与える期間を終了する。このリードディスターストレス印加(read disturb stress apply)期間の長さとしては、図11のメモリセルブロックに対する読み出しサイクルの長さ、すなわち、図22のBL2precharge、BLT2discharge、data Vth sense期間の総和になるべく近くなることが、メモリセルブロック49に含まれるデータメモリセルとリードディスターストレス印加時間を揃え、より正

46

確なリードディスターストレス検出を行うのに望ましい。

【0153】ついで、信号φ8を“H”にして、トランジスタQ8を導通状態とし、ノードn1を“H”にプリセットする。この時、第二の実施の形態と異なり信号φ3は“L”なので、DI/OBはトランジスタQ19によってプルアップされ、“H”となったままである。よって、DI/Oは信号φ8の状態に依らず“L”に維持される。また、同時に、制御線SWLを“H”にし、Q12およびQ13のゲート電極にノードVRの電位を印加する。ここで、ノードVRの電位は、Q12やQ13の書き込みしきい値がリードディスターストレスによって低下し、リードディスターストレスを生じたことを検知するのに用いるしきい値電圧となる。よって、例えば書き込み直後のしきい値の最低値をVthw、消去直後のしきい値の最大値をVtheとして、VthwとVtheとの範囲内となる値であり、 $(Vthw + Vthe) / 2$ から、 $Vthw - (センスアンプ感度) \sim Vthw - 0.1$

【V】の間に設定するのが、安定なリードディスターストレス検出には望ましい。ここで、信号φ1を“H”にした後、信号φ6をV11電位とすることにより、トランジスタQ1およびQ6を通じてBLT2をV11'まで充電する。ここで、信号φ6はトランジスタQ6のしきい値をVthとして $(Vth + V11')$ となる値に設定しているので、データ転送線BLT2がV11'になるとQ6が遮断状態となり、BLT2の放電が止まる。BLT2がV11'に達した後、信号φ6を0VとしQ6を遮断する。ここまでは、BLT2をプレチャージする(BLT2precharge)期間に当たる。V1はV11'となるようにする。

【0154】ついで、制御線GSLGを“H”にする。このタイミングは、メモリセルアレイ1は“BL2discharge”と書かれた期間内に行うようにする。この期間内ではメモリセルアレイ1の読み出しセルはデータ転送線の電荷を放電している期間なので、ブロック選択線GSLaは“H”となり、トランジスタQ11のゲート電極には“H”が加えられる。これによりトランジスタQ11が導通状態となり、リードディスターストレス検出用メモリセルQ12またはQ13のしきい値がVR以下ならば導通状態となり、データ転送線BLT2の電位は低下する。この場合は、Q12またはQ13のいずれかでリードディスターストレスを生じた場合に対応する。一方、リードディスターストレス検出用メモリセルQ12およびQ13のしきい値がすべてVRより高いならばメモリセルQ12またはQ13は遮断状態となるため、データ転送線BLT2の電位低下はない。この場合は、Q12かQ13の両方でリードディスターストレスを生じていない場合に対応する。このタイミングでは信号φ6は0Vなので、トランジスタQ5のゲート電極の電位はV1で低下しない。ここまでは、BLT2をQ12またはQ13がリードディスターストレスを生じた場合に放電を行う(BLT2discharge)

47

e) 期間に当たる。

【0155】 について、信号φ1および信号φ8を“L”とした後、信号φ6が供給されるトランジスタQ6のゲートにV12なる電圧を加えることによって、トランジスタQ5のゲート電極ノードにBLT2の電荷の移送を行う。V12は、V11以下の電圧で、トランジスタQ5のしきい値よりも高い電圧に設定され、例えば1.5Vとする。通常、データ転送線BLT2の容量CBは、トランジスタQ5のゲート電極ノードの容量CSより10倍以上大きいので、BLT2の前記電位低下は、トランジスタQ5のゲート電極ノードでは、(CB/CS)倍に増幅される。これにより、リードディスターブを検知しない場合には、トランジスタQ5のしきい値よりもトランジスタQ5のゲート電圧が上昇したままなので、トランジスタQ5が導通状態となる。一方、リードディスターブを生じたことを検知した場合には、データ転送線BLT2の電位低下し、トランジスタQ5のしきい値以下にトランジスタQ5のゲート電圧が低下し、トランジスタQ5が遮断状態となる。

【0156】 この後、信号φ4として“H”パルスを与えることにより、トランジスタQ5の導通/非導通状態をノードn1に転送する。これにより、リードディスターブを検知しない場合には、ノードn1は信号φ4の“H”への立ち上がりにより“L”に変化する。ついで、信号φ3として“H”パルスを与えることにより、ノードn1がインバータInv2によって反転した信号をDI/OBに出力する。第二の実施の形態と異なり、本実施の形態では、この期間のみQ3は導通状態となるので、信号φ3が“H”の期間を短くできる。よって、DI/OBに誤パルスやグリッジが生じて信号φ3が“L”の期間は制御ロジック回路6は誤動作せず、より安定した動作を実現できる。この後、DI/OBの出力によって、リードディスターブを生じたことを検知した場合には、ブロックアドレスラッチ7にブロックアドレスを記憶する方法は前記の述べた通りである。ここまでは、リードディスターブを生じたかどうかセンスする(erase Vth sense) 期間に当たる。

【0157】 この後、信号φ6、信号φ3、制御線GSLG、SWLを“L”にしてerase Vth sense期間を終了する。ここで、図16のリードディスターブストレス印加(read disturb stress apply) は、BL2prechargeの開始と同時にそれ以降に開始されるようにし、erase Vth senseは、data Vth senseの終了と同時にそれ以前に終了されるようにする。このようにすることにより、回路ブロック4のメモリのリードディスターブ評価およびリードディスターブストレス印加をメモリセル49の読み出し(read) 動作サイクル以内に行うことができ、読み出し操作は従来と同じ一回で良く、読み出し時間がデータリフレッシュを行わない従来より増大せず高速である。しかも、ブロック検知のためのデータセルの

48

追加読み出しも必要なく、データセルの追加読み出しに起因する読み出しストレスの増加やデータ破壊を防ぐことができる。勿論、例えばerase Vth senseは、data Vth senseと開始や終了タイミングと一致させることにより、タイミング発生回路を共通化でき回路を削減することができる。

【0158】 本実施の形態では、第一の実施の形態の特長に加え、erase Vth senseとdata Vth senseとを同時タイミングで行うことができ、信号φ4をデータメモリセルのセンスアンプ46とリードディスターブ評価用センスアンプ5で共通化できタイミング発生回路を削減することができる。さらに、いずれかのセンスアンプ5または46が先に動作すると、データ転送線BLT2またはBL2の電圧が大きく変化し、遅れて動作するセンスアンプに接続されたデータ転送線に大きな容量性結合の電圧変動を生ずる。よって、本実施の形態では、erase Vth senseとdata Vth senseのタイミングを一致させることができるので、この電圧変動を低減でき、データやリードディスターブ評価の誤読み出しを減らすことができる。

【0159】 本実施の形態のANDメモリセルブロック構造でも、第一の実施の形態となんら変わりなくリードディスターブを検出できることは明らかであろう。また、書き込みおよび消去動作について、選択ブロックの非選択ゲートをオフにする以外は、第一の実施の形態のNAND型セルアレイの説明と変わらない。さらに、ブロック消去後に必ず回路ブロック4内の全セルについて書き込みを行うように変更することによって、第一の実施の形態で説明したシーケンスにしたがって、図14

(b) のようにリードディスターブを検出したデータブロックをリフレッシュすることが可能である。

【0160】 [第四の実施の形態] 図23および図24に本発明の第三の実施の形態に係る半導体記憶装置の構造を示す。本実施の形態は、第一の実施の形態の浮遊型ゲートを用いたNAND型メモリセルブロック49をMONOS型ゲートを用いたNAND型メモリセルブロックに変更したものである。図23(b) および図24はそれぞれ、図3(a)、(b)に対応するNAND型メモリセルブロックのB-B'、およびA-A'に対応する矢視断面図である。なお、パターン平面図は、図2(b)と同一なので省略する。さらに、図23(a)は、B-B' 同一方向に沿った、27SSL部の矢視断面図である。

【0161】 図23および図24は、例えばSiNやSiONを電荷蓄積層26としたMOSトランジスタからなる不揮発性メモリセル(メモリセルエレメント) M0~M15が直列に接続され、一端が選択トランジスタS1を介してBLと記してあるデータ転送線に接続されている。また他の一端は選択トランジスタS2を介してSLと記してある共通ソース線に接続されている。また、

49

それぞれのトランジスタは、同一のウェル領域上に形成されている。

【0162】図23および図24において、例えばボロン不純物濃度が 10^{14}cm^{-3} から 10^{19}cm^{-3} の間のp型シリコン領域23に、例えば1nmから10nmの厚さからなるシリコン酸化膜またはオキシナイトライド膜からなるトンネルゲート絶縁膜を介して、例えばSiN、SiONからなる電荷蓄積層26が3nmから50nmの厚さで形成されている。この上に、例えば厚さ2nmから10nmの間のシリコン酸化膜からなる層間絶縁膜50を介して、例えばポリシリコンやWSi(タングステンシリサイド)とポリシリコンとのスタック構造、またはNiSi、MoSi、TiSi、CoSiとポリシリコンのスタック構造からなる制御ゲート電極27が10nmから500nmの厚さで形成されている。この制御ゲート電極27は、図2(b)において隣接するメモリセルブロックで接続されるように紙面左右方向にブロック境界まで形成されており、データ選択線WL0~WL15および選択ゲート制御線SSL、GSLを形成している。

【0163】なお、p型シリコン領域23は、n型シリコン領域22によってp型半導体基板21と独立に電圧印加できるようになっていることが、消去時の昇圧回路負荷を減らし消費電力を抑えるためには望ましい。本実施の形態のゲート形状では、p型シリコン領域23の側壁が絶縁膜24で覆われているので、浮遊ゲート電極26を形成する前のエッチングで露出することがなく、ゲート電極26がp型シリコン領域23よりも下に来ることを防ぐことができる。よって、p型シリコン領域23と絶縁膜24との境界での、ゲート電界集中やしきい値低下した寄生トランジスタが生じにくい。さらに、電界集中に起因する書き込みしきい値の低下現象、いわゆる、サイドウォーク現象が生じにくくなるため、より信頼性の高いトランジスタを形成することができる。

【0164】これらゲート電極の両側には、例えば5nmから200nmの厚さのシリコン窒化膜またはシリコン酸化膜からなる絶縁膜43を挟んでソースまたはドレイン電極となるn型拡散層28が形成されている。これら拡散層28と電荷蓄積層26、制御ゲート電極27により、M-ONO-S型不揮発性EEPROMセルが形成されており、電荷蓄積層のゲート長としては、0.5μm以下0.01μm以上とする。これらソース・ドレインn型拡散層28としては、例えばリンや砒素、アンチモンを表面濃度が 10^{17}cm^{-3} から 10^{21}cm^{-3} となるように深さ10nmから500nmの間で形成されている。さらに、これらn型拡散層28はメモリセル同士で直列に接続され、NAND接続が実現されている。また、図において、27SSL、27GSLは、それぞれSSLおよびGSLに相当するブロック選択線に接続されたゲート電極であり、前記MONOS型EE

50

PROMの制御電極と同層で形成されている。これらゲート電極は、例えば3nmから15nmの厚さのシリコン酸化膜またはオキシナイトライド膜からなるゲート絶縁膜25SSLおよび25GSLを介してp型シリコン領域23と対向し、MOSTランジスタを形成している。ここで、制御ゲート電極27SSLおよび27GSLのゲート長は、メモリセルゲート電極のゲート長よりも長く、例えば1μm以下0.02μm以上と形成することにより、ブロック選択時と非選択時のオン/オフ比を大きく確保でき、誤書き込みや誤読み出しを防止できる。

【0165】また、27SSLの片側に形成されたソースまたはドレイン電極となるn型拡散層28dは、例えばタングステンやタングステンシリサイド、チタン、チタナイトライド、またはアルミニウムからなるデータ転送線36(BL)とコンタクト31dを介して接続されている。ここで、データ転送線36(BL)は、隣接するメモリセルブロックで接続されるように図2(b)の紙面上下方向にブロック境界まで形成されている。一方、27GSLの片側に形成されたソースまたはドレイン電極となるn型拡散層28sは、コンタクト31sを介してソース線となるSLと接続されている。このソース線SLは、隣接するメモリセルブロックで接続されるように図2(b)の紙面左右方向にブロック境界まで形成されている。勿論、n型拡散層28sを紙面左右方向にブロック境界まで形成することにより、ソース線としてもよい。これらBLコンタクトおよびSLコンタクトとしては、例えばn型またはp型の不純物がドーパされたポリシリコン、タングステンやタングステンシリサイド、Al、TiN、Tiなどが充填されて、導電体領域となっている。さらに、これら共通ソース線SLおよびデータ転送線BLと、前記トランジスタとの間には、例えばSiO₂、SiNからなる層間絶縁膜29によって充填されている。さらに、このデータ転送線BL上部には、例えばSiO₂やSiN、または、ポリイミドからなる絶縁膜保護層37や、図には示していないが、例えばW、AlやCuからなる上部配線が形成されている。

【0166】本実施の形態では、第一の実施の形態の特長に加え、MONOS型セルを用いているため、第一の実施の形態の浮遊ゲート型EEPROMセルよりも書き込み電圧および消去電圧を低電圧化することができ、素子分離間隔を狭めゲート絶縁膜厚を薄膜化しても耐圧を維持することができる。よって、高電圧が印加される回路の面積を小さくでき、よりチップ面積を縮小することができる。さらに、第一の実施の形態と比較して、電荷蓄積層26の厚さを20nm以下に小さくでき、よりゲート形成時のアスペクトを低減でき、ゲート電極の加工形状を向上させ、層間絶縁膜28のゲート間の埋め込みも向上させることができ、より耐圧を向上させることができる。また、浮遊ゲート電極を形成するためのプロセ

51

スやスリット作成プロセスが不要であり、より製造プロセスを短くすることができる。また、電荷蓄積層26が絶縁体で、1つ1つの電荷トラップに電荷が捕獲されているので、放射線に対して電荷が抜けにくく強い耐性を持たせることができる。さらに、電荷蓄積層26の側壁絶縁膜43が薄膜化しても、電荷蓄積層26に捕獲された電荷がすべて抜けてしまうことなく良好な保持特性を維持できる。

【0167】本実施の形態の構成でも、第一および第二の実施の形態となんら変わりなくリードディスターブを検出できることは明らかであろう。また、書き込みおよび消去動作についても、第一および第二の実施の形態のNAND型セルアレイの説明と変わらない。よって、第一の実施の形態に説明したシーケンスによって、リードディスターブを検出したデータブロックをリフレッシュすることが可能である。

【0168】この発明は上記実施の形態に限られない。実施の形態ではスイッチング素子として主にn型MISFETを用いたが、これらは、ゲート入力を反転すれば、p型n型を入れ替えてもよい。本実施の形態では、EEPROMからなる不揮発性半導体素子を例に挙げたが、本発明の構成は、複数のデータ選択線と複数のデータ転送線からなるメモリマトリックスで、複数データ選択線を有するメモリセルブロックにおいて、データ転送線方向に隣接するブロックでデータ制御線ドライバが左右に振り分けられた配置のメモリでは有効であることは明らかである。例えば強誘電体メモリや磁区反転に時間がかかる強磁性体メモリのブロックについても、本方法が適法できることは言うまでもない。また、素子分離膜や絶縁膜形成法自身は、シリコンをシリコン酸化膜やシリコン窒化膜に変換するこれら以外の方法、例えば酸素イオンを堆積したシリコンに注入する方法や、堆積したシリコンを酸化する方法を用いてもかまわない。また、電荷蓄積層26は、TiO₂やAl₂O₃、あるいはタンタル酸化膜、チタン酸ストロンチウムやチタン酸バリウム、チタン酸ジルコニウム鉛やそれらの積層膜を用いても構わない。実施の形態としては、半導体基板21としてp型Si基板を想定したが、代わりにn型Si基板やSOI基板のSOIシリコン層またはSiGe混晶、SiGeC混晶など、シリコンを含む単結晶半導体基板であればよい。さらに、p型シリコン領域23上のn型MOSFETの形成について述べたが、n型シリコン領域23上のp型MOSFETの形成に置き換えてもよく、その場合、上述の実施の形態のn型をp型、p型をn型と読み替え、ドーピング不純物種のAs、P、SbをIn、Bのいずれかと読み替えればよい。また、制御ゲート電極27はSi半導体、SiGe混晶、SiGeC混晶、TiSi、NiSi、CoSi、TaSi、WSi、MoSiなどのシリサイドやポリサイド、Ti、Al、Cu、TiN、Wなどの金属を用いることがで

52

き、多結晶であってもよいし、これらの積層構造にしてもよい。また、アモルファスSi、アモルファスSiGe混晶、またはアモルファスSiGeC混晶を用いることができ、これらの積層構造にしてもよい。さらに、電荷蓄積層26はドット状に形成されていても構わず、本方法が適用できることは言うまでもない。

【0169】以上第一乃至第四の実施の形態を用いてこの発明の説明を行ったが、この発明は上記各実施の形態に限定されるものではなく、実施段階ではその要旨を逸脱しない範囲で種々に変形することが可能である。また、上記各実施の形態には種々の段階の発明が含まれており、開示される複数の構成要件の適宜な組み合わせにより種々の発明が抽出され得る。例えば各実施の形態に示される全構成要件からいくつかの構成要件が削除されても、発明が解決しようとする課題の欄で述べた課題の少なくとも1つが解決でき、発明の効果の欄で述べられている効果の少なくとも1つが得られる場合には、この構成要件が削除された構成が発明として抽出され得る。

【0170】

【発明の効果】本発明の実施の形態の構造を用いれば、読み出し操作によるデータ破壊を事前に防ぐことができる。さらに、データを読み出すセルに対しては、読み出し操作は従来と同じ一回で良く、データ読み出しと同時にデータ破壊を生じつつあるブロックを検知するので、読み出し時間がデータリフレッシュを行わない従来例より増大せず高速である。しかも、ブロック検知をするためのデータセルの追加読み出しも必要なく、データセルの追加読み出しに起因する読み出しストレスの増加やデータ破壊を防ぐことができる。

【0171】さらに、NAND型およびAND型配置のメモリセルブロックの場合には、読み出しを行ったブロックに含まれる非選択メモリセルエレメントについてリードディスターブが評価でき、ブロック内で最もリードディスターブストレスを強く受けたセルと同条件で評価することができる。よって、読み出しを行うセルのみのリードディスターブを調べる従来例よりも正確に、データ破壊が生じつつあるブロックを検知できる。さらに、ブロック毎に消去および書き込み回数の履歴が異なりリードディスターブの劣化状態が異なる場合でも、ブロック毎の履歴に沿ったリードディスターブの最悪値が評価できる。また、データを読み出すセルと同じ形状のリードディスターブを検出するセルを用いることができ、リードディスターブが加わる時の、制御電極の電圧は前記リードディスターブ検出用メモリセルとデータ記憶セルで共通にすることができる。よって、リードディスターブを受ける検出する場合の素子ばらつきや電圧ばらつきによる影響を小さくし、データ記憶用のメモリセルエレメントの制御電圧源やデータ制御線駆動回路は従来例と同じものを用いることができる。また、メモリセルアレイに対しては、データ転送線を1つ追加するだけでよく、

53

データ転送線の伸びる方向にメモリセルの追加は必要なく、データ選択線の伸びる方向に面積増大を伴わずに回路を構成することが可能である。

【0172】さらに、データ破壊が生じつつあるブロックの位置情報を少なくとも電源投入後継続して保持しているの、読み出し直後にデータを再書き込みする必要がない。しかも、リードディスタurb検出によってデータ破壊が生じないので、リードディスタurb検出を行った後も、再書き込み（データリフレッシュ）を行わない状態では、再び当該セルを読み出すことによりリードディスタurbを検出できる。また、1つのブロックでリードディスタurb検出をした後で、そのブロックをデータリフレッシュする前でも、他のブロックのリードディスタurbを検出できる。よって、例えばリードディスタurbを生じたブロックを電源を遮断する前の時間に余裕がある時にまとめて再書き込みを行えば良いので、より、データを読み出し速度をデータリフレッシュを行わない従来例と同等に保つことができる。

【0173】さらに、リードディスタurb状態を検出する比較器および一時データ記憶メモリをデータ転送線の本数分用意する必要がなく、1つのデータ転送線分準備すればよいので回路規模を小さくすることができる。さらに、読み出し電流を大きく確保することができるので、より、読み出し電圧のマージンを広げることができ、安定で高速な読み出しが実現できる。さらに、NAND型メモリセルブロックにおいては、読み出し時に直列に接続されたメモリセルエレメントの抵抗の影響を小さくすることができるので、前記メモリセルエレメントのデータ状態に依らず安定したデータ読み出しが実現できる。

【0174】また、リードディスタurbを検出しリフレッシュを行うことで、（リードディスタurb判定までのストレス印加累計読み出し回数）×（メモリセルの書き込み消去可能回数）まで、読み出し回数を増やすことができる。よって、リフレッシュを行わない従来例よりも読み出し回数を大幅に増加することができ、より信頼性が高いメモリセルを実現することができる。

【図面の簡単な説明】

【図1】本発明の第一の実施の形態に係る半導体記憶装置について説明するためのもので、NAND型またはAND型EEPROMの概略的なブロック構成を示す図。

【図2】本発明の第一の実施の形態に係る半導体記憶装置のメモリセル構造を示すもので、（a）図はNAND型メモリセルブロックの等価回路、（b）図はそのパターン平面図。

【図3】本発明の第一の実施の形態に係る半導体記憶装置のメモリセル構造を示すもので、（a）図は図2（a）のB-B'線に沿った矢視断面図、（b）図は図2（a）のA-A'線に沿った矢視断面図。

【図4】本発明の第一の実施の形態に係る半導体記憶装

54

置について説明するためのもので、図1に示した回路におけるメモリセルアレイ近傍のレイアウト図。

【図5】本発明の第一の実施の形態に係る半導体記憶装置について説明するためのもので、図1に示した回路におけるリードディスタurb評価用セルアレイの回路構成例を示す図。

【図6】本発明の第一の実施の形態に係る半導体記憶装置について説明するためのもので、図1に示した回路におけるセンスアンプの回路構成例を示す図。

【図7】本発明の第一の実施の形態に係る半導体記憶装置について説明するためのもので、図1に示した回路における制御ロジック回路の回路構成例を示す図。

【図8】本発明の第一の実施の形態に係る半導体記憶装置について説明するためのもので、図1に示した回路におけるブロックアドレスラッチの回路構成例を示す図。

【図9】本発明の第一の実施の形態に係る半導体記憶装置について説明するためのもので、図7に示した制御ロジック回路の論理値を示す図。

【図10】本発明の第一の実施の形態に係る半導体記憶装置について説明するためのもので、複数のリードディスタurbブロックを検出する検出回路の構成例を示す図。

【図11】本発明の第一の実施の形態に係る半導体記憶装置の動作、および半導体記憶装置におけるメモリセルトランジスタのしきい値の変化を判別する方法について説明するためのタイミングチャート。

【図12】本発明の第一の実施の形態に係る半導体記憶装置におけるデータリフレッシュ動作について説明するためのフローチャート。

【図13】図12に示した一部のシーケンスの動作を詳しく説明するためのフローチャート。

【図14】リードディスタurbストレス印加累計時間とメモリセルの消去しきい値との関係について説明するためのもので、（a）図はNAND型アレイの場合、（b）図はAND型アレイの場合を示す特性図。

【図15】本発明の第二の実施の形態に係る半導体記憶装置について説明するためのもので、リードディスタurb評価用セルアレイの回路構成例を示す図。

【図16】本発明の第二の実施の形態に係る半導体記憶装置の動作、および半導体記憶装置におけるメモリセルトランジスタのしきい値の変化を判別する方法について説明するためのタイミングチャート。

【図17】本発明の第三の実施の形態に係る半導体記憶装置について説明するためのもので、リードディスタurb評価用セルアレイの回路構成例を示す図。

【図18】本発明の第三の実施の形態に係る半導体記憶装置について説明するためのもので、図17に示したAND型の評価用セルアレイに対応したリードディスタurb評価用センスアンプとデータラッチの回路構成例を示す図。

55

【図19】本発明の第三の実施の形態に係る半導体記憶装置について説明するためのもので、図17に示したAND型の評価用セルアレイに対応した制御ロジック回路の構成例を示す図。

【図20】本発明の第三の実施の形態に係る半導体記憶装置におけるメモリセルのパターン平面図。

【図21】本発明の第三の実施の形態に係る半導体記憶装置のメモリセル構造を示すもので、(a)図は図20のB-B'線に沿った矢視断面図、(b)図は図20のC-C'線に沿った矢視断面図。

【図22】本発明の第三の実施の形態に係る半導体記憶装置の動作について説明するためのもので、図17乃至図19に示した回路を用いた場合のタイミングチャート。

【図23】本発明の第四の実施の形態に係る半導体記憶装置について説明するためのもので、(a)図は図20のC-C'線に沿った矢視断面図、(b)図は図20のB-B'線に沿った矢視断面図。

【図24】本発明の第四の実施の形態に係る半導体記憶装置について説明するためのもので、図20のA-A'線に沿った矢視断面図。

【図25】従来の半導体記憶装置について説明するためのもので、EEPROM半導体装置のメモリセルエレメントのしきい値のゲートストレス印加時間に対する変化を示しており、(a)図は消去状態、(b)図は書き込み状態。

【図26】従来の半導体記憶装置について説明するためのもので、(a)図はNAND型で形成される1つのメモリセルブロック、(b)図はAND型で形成される1つのメモリセルブロックを示す図。

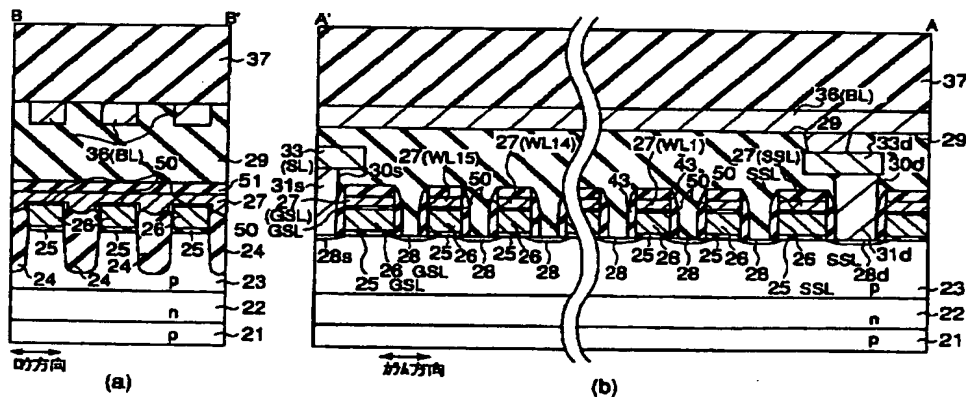
【符号の説明】

- 1…メモリセルアレイ（セルアレイマトリックス）、
- 2…データ制御線ドライバ、
- 3…ロウデコーダ、

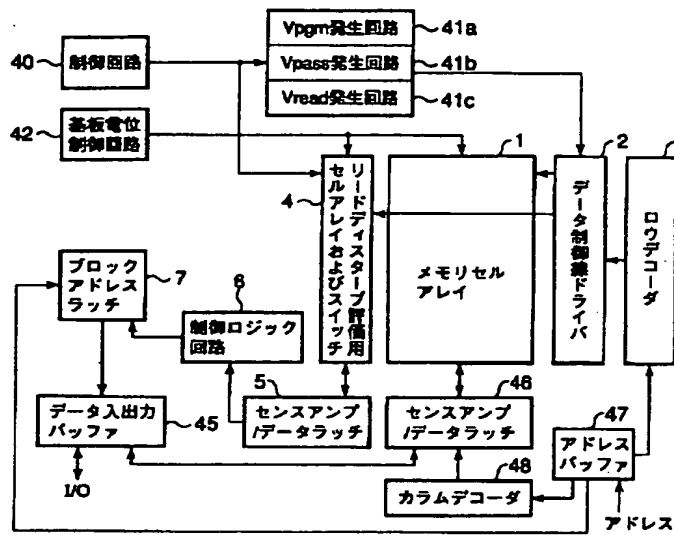
56

- *4…リードディスタ urb 評価用（データ破壊評価用）セルアレイおよびスイッチ、
- 5…センスアンプ/データラッチ、
- 6…制御ロジック回路、
- 7…ブロックアドレスラッチ、
- 21…p型半導体基板、
- 22…n型シリコン領域、
- 23…p型シリコン領域（p型ウェル領域）、
- 24…絶縁膜、
- 25…トンネルゲート絶縁膜、
- 26…電荷蓄積層（浮遊ゲート電極）、
- 27…制御ゲート電極、
- 28…ソース・ドレインn型拡散層、
- 31…コンタクト、
- 36…データ転送線、
- 40…制御回路、
- 41a…V_{pgm}発生回路、
- 41b…V_{pass}発生回路、
- 41c…V_{read}発生回路、
- 42…基板電位制御回路、
- 45…データ入出力バッファ、
- 46…センスアンプ回路（センスアンプ/データラッチ）、
- 47…アドレスバッファ、
- 48…カラムデコーダ、
- 49…メモリセルブロック、
- M0～M15…不揮発性メモリセル（メモリセルエレメント）、
- S1, S2…選択トランジスタ、
- WL0a～WL15a…データ選択線、
- BL1, BL2…データ転送線、
- SL…共通ソース線、
- GSLa, SSLa…ブロック選択線。

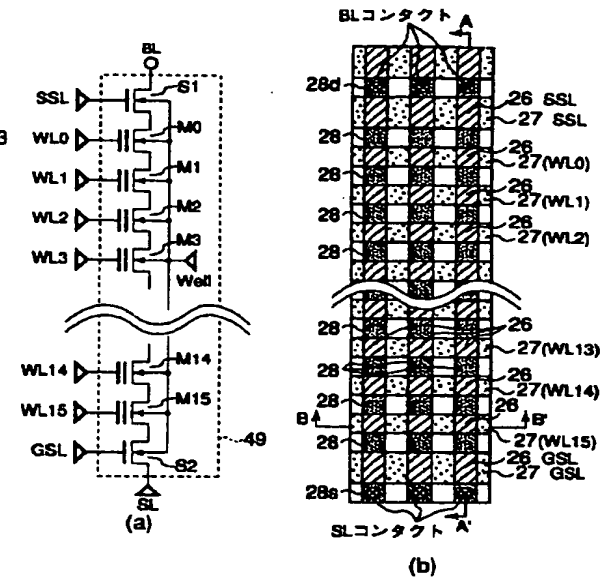
【図3】



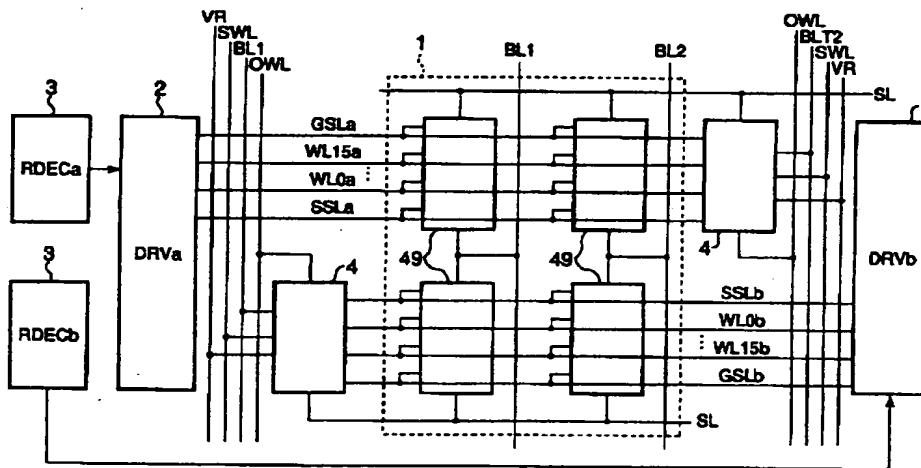
【图 1】



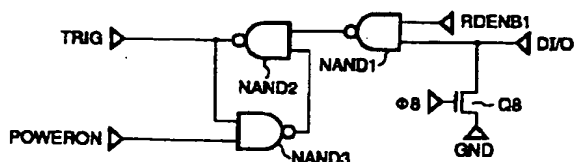
【图 2】



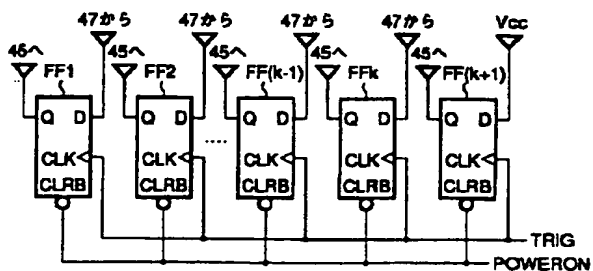
【图4】



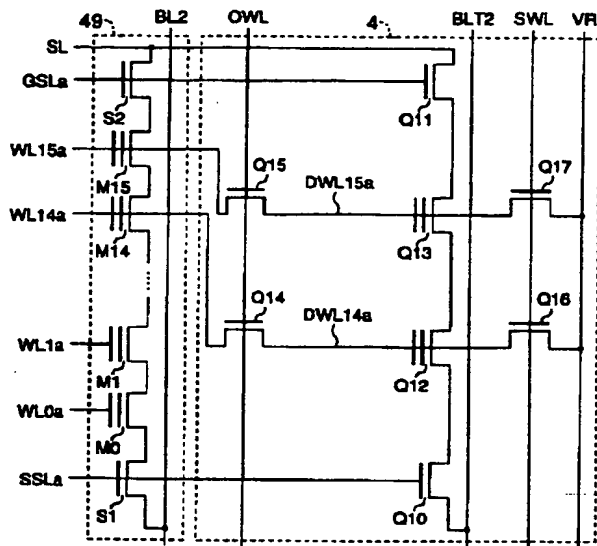
【图7】



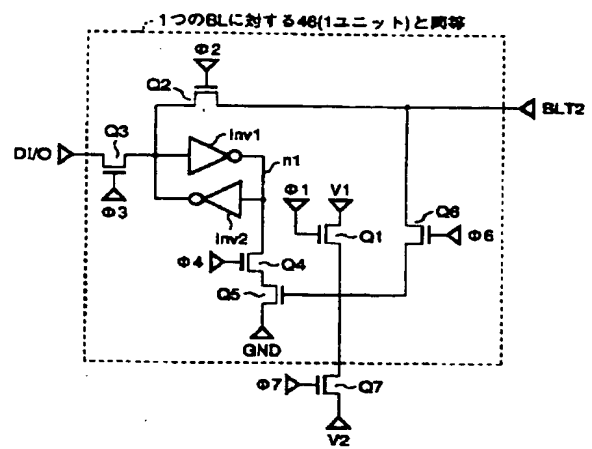
【図 8】



【図5】



【図6】

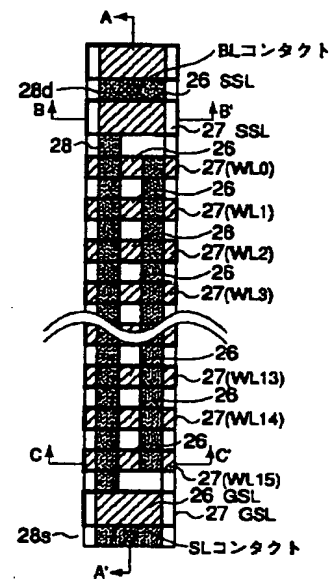
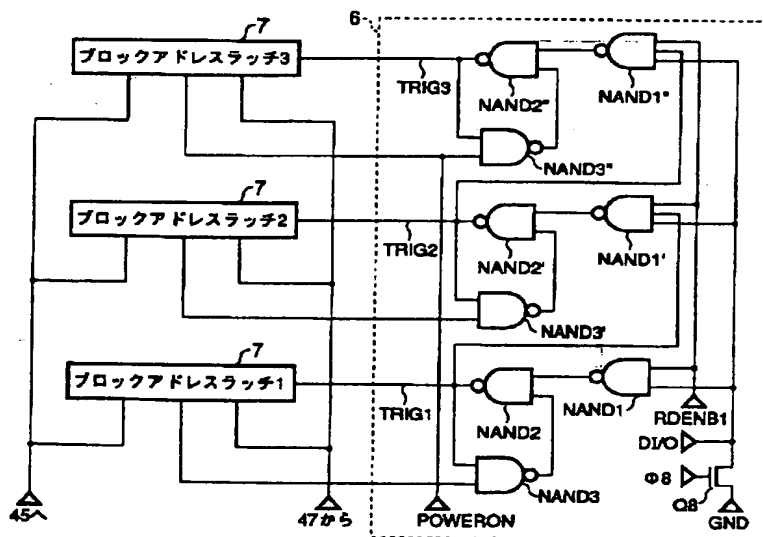


【図20】

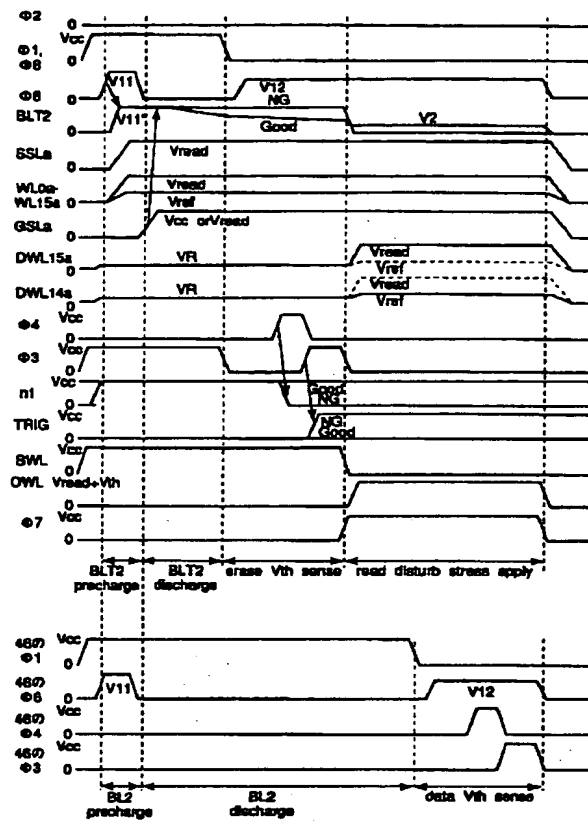
【図9】

POWERON	D/I/O	RDENB1	TRIG	コメント
"L"	"H" or "L"	"L"	"L"	電源投入時
"H"	"H" or "L"	"L"	"L"	ロウデコーダ非選択時
"H"	"L"	"H"	"L"	ロウデコーダ選択Goodデータ時
"H"	"H"	"H"	"L" → "H"	ロウデコーダ選択NGデータ時
"H"	"H" or "L"	"H" or "L"	"H"	NGデータラッチ後

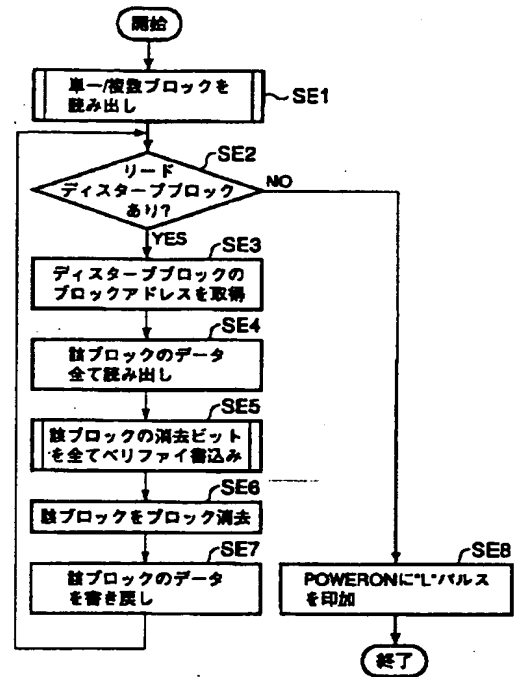
【図10】



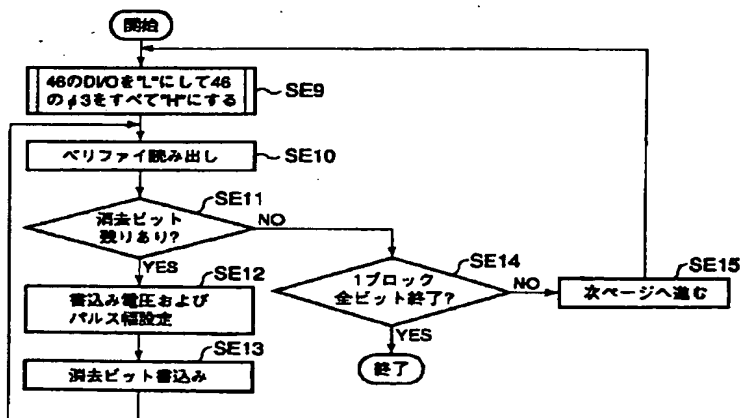
【図11】



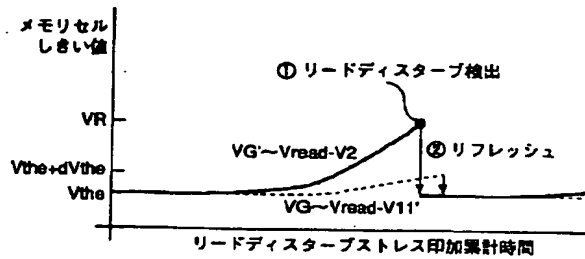
【図12】



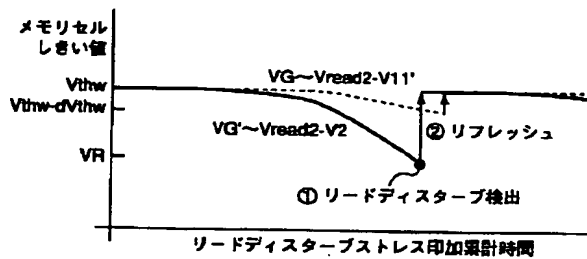
【図13】



【図14】

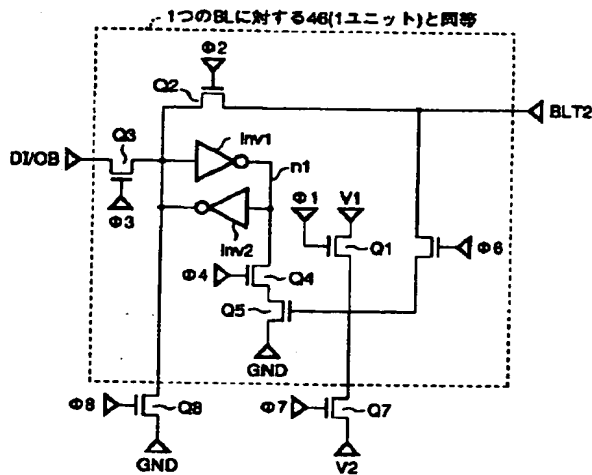


(a) NAND型アレイ

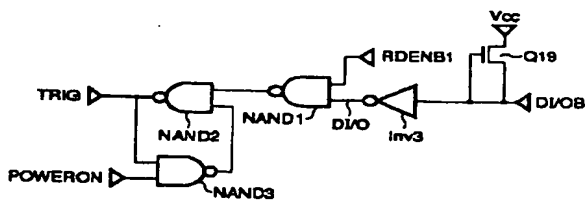


(b) AND型アレイ

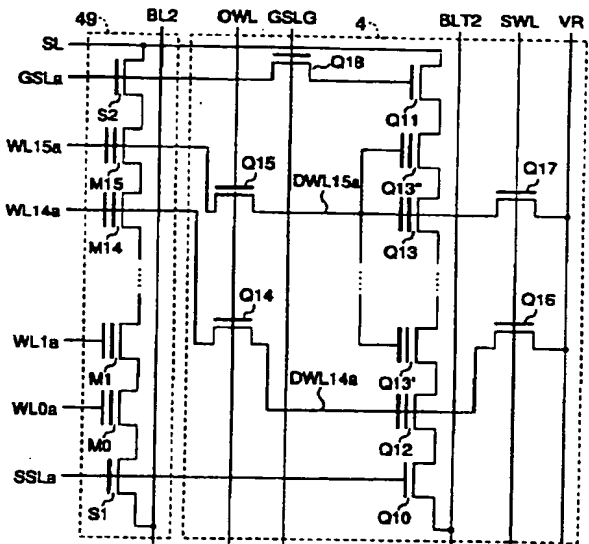
【図18】



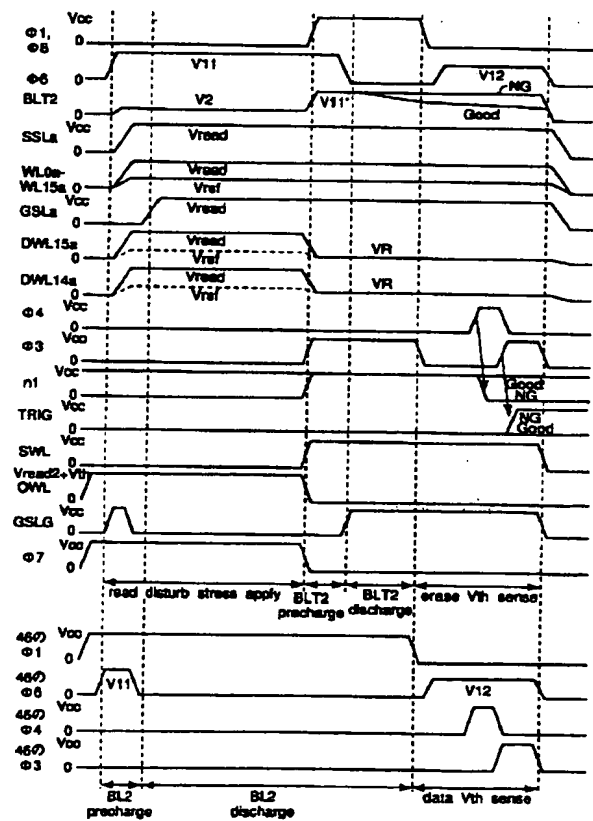
【図19】



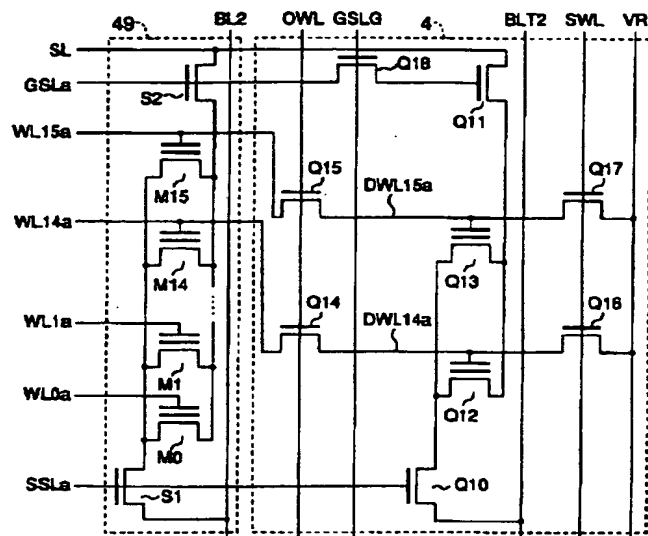
【図15】



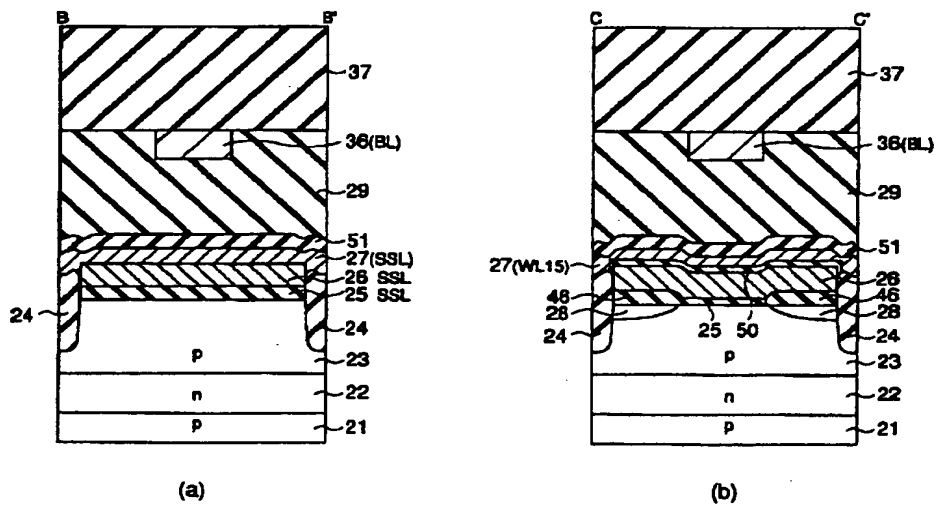
【図16】



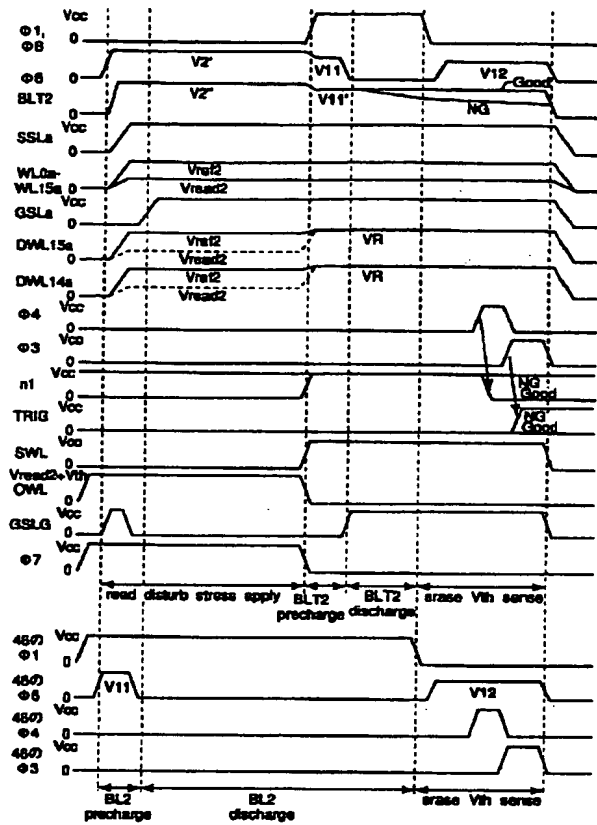
【図17】



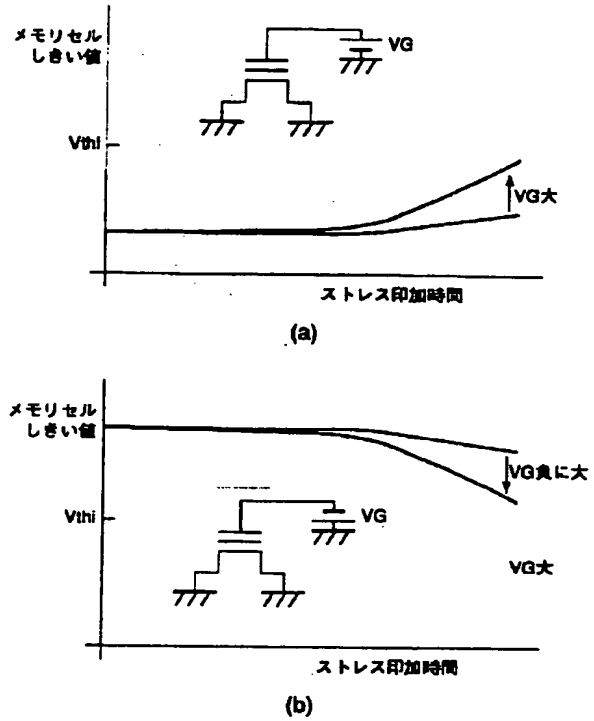
【図21】



【図22】



【図25】



【図23】

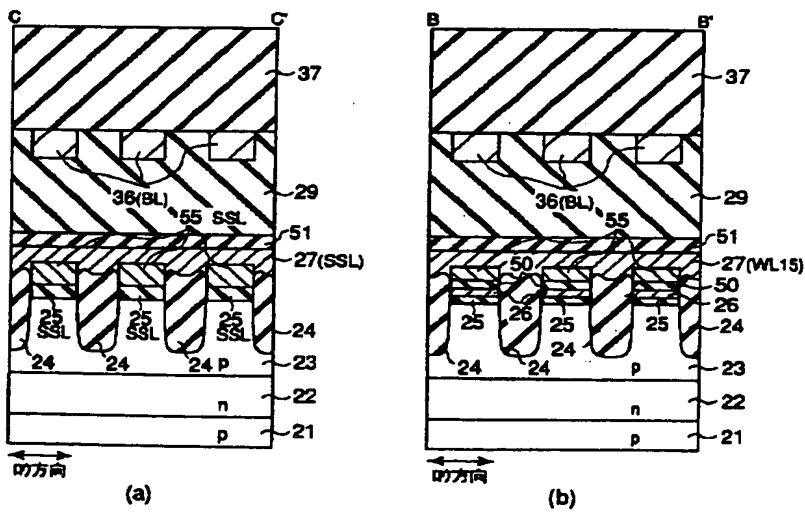


Figure 1 consists of two schematic diagrams, (a) and (b), illustrating the 1T1R1C1 array structure during different operations. Both diagrams show a 4x4 grid of access transistors (S1-S4) and storage capacitors (M0-M3) connected to bitlines BL1 and BL2.

(a) Read operation: The wordlines are driven by voltages Vread and Vread2. The access transistors S1-S4 are connected to the bitlines BL1 and BL2. The storage capacitors M0-M3 are connected to the wordlines. The diagram shows the array during a read operation, where the wordlines are driven by voltages Vread and Vread2.

(b) Write operation: The wordlines are driven by voltages Vcc and Vread2. The access transistors S1-S4 are connected to the bitlines BL1 and BL2. The storage capacitors M0-M3 are connected to the wordlines. The diagram shows the array during a write operation, where the wordlines are driven by voltages Vcc and Vread2.

F I		
H O 1 L	27/10	4 3 4
	29/78	3 7 1

テーマコード* (参考)

Fターム(参考) 5B025 AA03 AB01 AC01 AD01 AD04
AD05 AD07 AD08 AD09 AE08
5F001 AA01 AA13 AB02 AD53
5F083 EP02 EP22 EP76 GA09 GA15
GA16 HA02 JA04 JA05 JA33
JA35 JA36 JA37 JA40 KA12
NA01 NA08
5F101 BA01 BA45 BB02 BD34